

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平6-509909

第7部門第2区分

(43) 公表日 平成6年(1994)11月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I
H 0 1 L 27/10	4 3 1	7210-4M	
G 1 1 C 17/00	A	6866-5L	
H 0 1 L 29/788			
29/792			
		8831-4M	
			H 0 1 L 29/ 78 3 7 1
			審査請求 未請求 予備審査請求 有 (全 34 頁)

(21) 出願番号 特願平5-504488
 (86) (22) 出願日 平成4年(1992)8月17日
 (85) 翻訳文提出日 平成6年(1994)2月21日
 (86) 国際出願番号 P C T / U S 9 2 / 0 6 8 7 6
 (87) 国際公開番号 W O 9 3 / 0 4 5 0 6
 (87) 国際公開日 平成5年(1993)3月4日
 (31) 優先権主張番号 7 4 7 , 0 5 3
 (32) 優先日 1991年8月19日
 (33) 優先権主張国 米国 (U S)
 (31) 優先権主張番号 7 6 8 , 1 3 9
 (32) 優先日 1991年9月30日
 (33) 優先権主張国 米国 (U S)

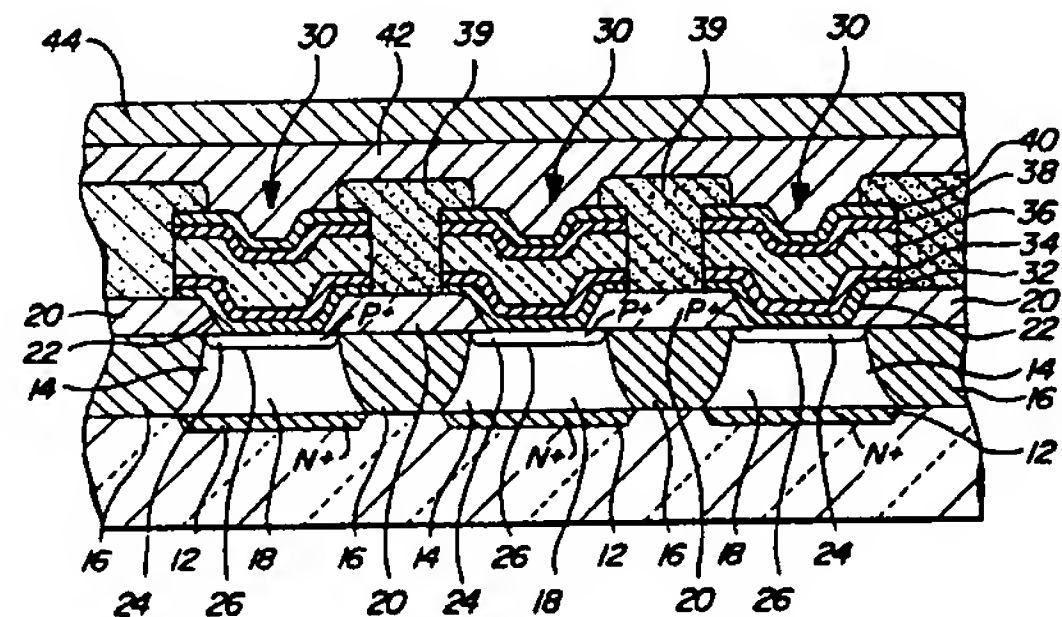
(71) 出願人 エナジー・コンバージョン・デバイス・インコーポレーテッド
 アメリカ合衆国 48084 ミシガン州 トロイウエスト メイプル ロード 1675
 (72) 発明者 オブジンスキー, スタンフォード, アール.
 アメリカ合衆国 48013 ミシガン州 ブルームフィールド ヒルズ スクアール ロード 2700
 (72) 発明者 クズバティ, ウロディミール
 アメリカ合衆国 48092 ミシガン州 ウォラン ウォルター 2426
 (74) 代理人 弁理士 谷 義一 (外1名)

最終頁に続く

(54) 【発明の名称】 電氣的に消去可能な、直接重ね書き可能なマルチビット単セルメモリ素子およびそれらから作製したアレイ

(57) 【要約】

固相であり、直接重ね書き可能であり、不揮発性、高速、マルチビット単セルは、局所の原子的および/または電子的な秩序を有する非常に多くの安定可能で不揮発性検出可能な構成によって特徴付けられる。これは、パルス電圧および持続時間を変える電気入力信号によって選択的にかつ繰り返し可能にアクセスされ得る。また、調整電界が除去された後でさえも、全レンジにわたる実質的に一定のバンドギャップを維持しながら、異なるフェルミ準位位置の大きなダイナミックレンジのいずれか一つを仮定するために、結晶相内で調整され得る微細結晶質半導体材料の独特のクラスが開示されている。メモリ素子は、メモリ素子が製造される元の半導体材料の組成的な調整の使用を通じて達成された、高められた安定性によって特徴付けられている。メモリ素子は、非晶質シリコンを単独または非晶質カーボンと組み合わせて形成された電氣的なコンタクトを含めてもよい。メモリ素子(30)は、酸化物層(20, 39)によって囲まれたメモリ材料からなる領域(36)の形態であってもよい。メモリ素子は、N+領域(12)と列ライン(42)



とによって形成された行 (row) のラインが交差する位置に配された素子を備え、N 型層 (18) と P 型領域 (24) との間に形成されたアクセスダイオードを有するアレイであってもよい。

1. (1) 電気抵抗値の大ダイナミックレンジと、(2) マルチビット記憶能力を有する単一セルを提供するように選択された電気入力信号にตอบสนองして前記ダイナミックレンジ内の複数の抵抗値の一つに固定される能力によって特徴付けられた、単一セルメモリ素子を規定するメモリ材料からなるボリュームと、

前記電気入力信号を供給して前記メモリ材料を前記ダイナミックレンジ内の選択された抵抗値に固定するための立体的に配された一対のコンタクトとを含み、

メモリ材料からなる前記単一セルは前記選択された電気信号によって、前記材料の先の抵抗値にかかわらず、前記ダイナミックレンジ内のいかなる抵抗値にも固定可能である、電氣的に操作され、直接的に上書き可能で、マルチビット、単一セルメモリ素子。

2. 前記単一セルは、均質のカルコゲナイドメモリ材料からなるモノリシック体であり、前記メモリ材料からなるボリュームは 500 ～ 5,000 Å の厚さを有するものである、請求の範囲第 1 項のメモリ素子。

3. 前記抵抗値のダイナミックレンジは、電気抵抗値の別個の検出が可能な少なくとも 4 つのレベルを提供

するものである、請求の範囲第 1 項のメモリ素子。

4. 前記メモリ材料は、Se, Te, Ge, Sb およびそれらの混合物または合金からなる群より選択されたものである、請求の範囲第 1 項のメモリ素子。

5. 前記メモリ材料は、Te, Ge および Sb を $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ の組成比で含み、その下付き文字は原子%であり、全体を 100 % とし、 $40 \leq a \leq 58$ および $8 \leq b \leq 40$ としたものである、請求の範囲第 4 項のメモリ素子。

6. 前記メモリ材料のボリュームは、直径 2 ミクロン未満の孔に操作的に配されたものである、請求の範囲第 1 項のメモリ素子。

7. 前記メモリ材料を前記ダイナミックレンジ内の任意の抵抗値に固定する前記選択された電気信号は、1 ～ 25 ボルトの範囲内であり、かつ、信号持続時間が約 500 ナノ秒未満である少なくとも一つの電気信号パルスである、請求の範囲第 1 項のメモリ素子。

8. 前記選択された電気信号は複数の電気信号パルスであり、かつ、フィードバックループは、追加パルスを伝えて前記メモリ素子が前記選択された抵抗値に固

定されることを保証するものである、請求の範囲第 7 項のメモリ素子。

9. 前記メモリ材料からなるボリュームと前記コンタクトは、薄膜材料からなるマトリックスアレイを規定するように形成され、前記アレイの各メモリ素子は、薄膜分離素子によって別個に呼出可能な高密度でマルチビットメモリセルの三次元的なマルチレベルアレイを規定するように前記アレイの他のメモリ素子からアドレス可能に分離されている、請求の範囲第 1 項のメモリ素子。

10. 基体と、

該基体上の複数の行および列に立体的に配され、別個にアドレス可能で、電氣的に活性化され、直接上書き可能で、マルチレベルな複数の単一セルメモリ素子と、

各別個のメモリ素子と共同して当該素子を残りの複数のメモリ素子から電氣的に分離する分離素子と、

電氣的に調整可能なフェルミ準位位置を有し、その準位が実質的に一定の光学的なバンドギャップを維持するが実質的に異なる電氣的な抵抗の大きなダイナミックレンジ上で調整されるべき能力によって特徴付けられ、さらにマルチレベル記憶能力を有する前記単一セルメモリ素子を提供するように選択された電気入

力信号にตอบสนองして前記ダイナミックレンジ内の複数の抵抗値の一つに固定されるべき能力によって特徴付けられる、メモリ材料からなるボリュームによって規定された各単一セルメモリ素子と、

前記各メモリ素子を構成し、電気入力信号を供給して前記メモリ材料を前記ダイナミックレンジ内の選択された抵抗値に固定するための立体的に配され、記憶された情報を読み出すと共に前記メモリ材料に情報を書き込むための端子を提供する一対のコンタクトと、

メモリ材料からなる前記単一セルは、前記選択された電気信号によって、先の固定値にかかわらず、前記ダイナミックレンジ内のいかなる抵抗値にも固定可能であり、前記材料は固定信号が終了された後でさえ、前記抵抗値での固定を維持する能力を有し、および

電氣的なコンタクトを、前記メモリ材料のボリュームを有する前記各メモリ素子の一方の側の上と、前記分離素子を有する前記各メモリ素子の他方の側の上に形成し、これによって各別個のメモリ素子の抵抗値を選択的にかつ個別的に固定しかつ読み出す手段を提供するアドレスラインとを含む、電氣的に操作され、直接的に上書き可能で、マルチビット、単一セルメモリ素子のメモリアレイ。

11. 前記各単一セルメモリ素子は、Se, Te, Ge, Sb, Bi,

されることを保証するものである、請求の範囲第14項のメモリアレイ。

16. 前記分離素子は、薄膜p-i-nSi 合金ダイオードまたはトランジスタである、請求の範囲第19項のメモリアレイ。

17. Se, Te, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, Oおよびそれらの混合物または合金からなる群より選択された微細結晶質半導体材料であって、実質的に異なる電気伝導度の大きなダイナミックレンジとその全レンジの実質的に一定の光学的バンドギャップとによって特徴付けられる材料におけるバンドエッジに相対的なフェルミ準位位置を準安定な検出可能な複数の位置のうちの任意の一つの位置に調整する方法であって、

カルコゲナイド合金材料からなる均質体を提供し、

前記材料にパルス照射して該材料のフェルミ準位位置を半導体材料のバンドエッジに相対する選択位置に調整し その結果電気伝導度の大きなダイナミックレンジ内の与えられた伝導度の値を得、および

フェルミ準位位置を実質的に調整された位置に維持するが前記メモリ材料に対するプログラム化されたパルスの適用を終了する各ステップを含むフェルミ準位位置を調整する方法。

Pb, Sn, As, S, Si, P, O およびそれらの混合物または合金からなる群より選択された均質のカルコゲナイドメモリ材料からなるモノリシック体を含む、請求の範囲第10項のメモリアレイ。

12. 前記ダイナミックレンジおよび前記マルチレベル能は、一つの単一セルメモリ素子における2値情報の少なくとも1と1/2ビットの記憶を与える、請求の範囲第10項のメモリアレイ。

13. 前記メモリ材料は、Te, Ge およびSbを $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ の組成比で実質的に含み、その下付き文字は原子%であり、全体を100 %とし、 $40 \leq a \leq 58$ および $8 \leq b \leq 40$ としたものである、請求の範囲第25項のメモリアレイ。

14. 前記メモリ材料を前記ダイナミックレンジ内のいかなる抵抗値に固定する前記選択された電気信号は、1~25ボルトの範囲内であり、かつ、信号持続時間が約500 ナノ秒未満である少なくとも一つの電気信号パルスである、請求の範囲第10項のメモリアレイ。

15. 前記選択された電気信号は複数の電気信号パルスであり、かつ、フィードバックループは追加パルスを伝えて前記メモリ素子が前記選択された抵抗値に固定

18. さらにTe, Ge およびSbを $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ の組成比で実質的に含み、その下付き文字は原子%であり、全体を100 %とし、 $40 \leq a \leq 58$ および $8 \leq b \leq 40$ としたものである材料からなる前記半導体材料を形成するステップを含む、請求の範囲第17項の方法。

19. 前記半導体材料のフェルミ準位位置の調整は、該材料の抵抗性および反射性における観察される変化をもたらすように前記材料の電氣的および光学的特性を調整し、前記材料の電気伝導度の前記レンジが選択されたエネルギーの選択された出力および持続時間を有する少なくとも一つのパルスの入力時における抵抗値および反射率の値のダイナミックレンジを与えるものである、請求の範囲第17項の方法。

20. 前記エネルギーパルスの印加/終了を繰り返して前記レンジ内の同一または異なる電気伝導度に前記半導体材料を調整するステップをさらに含み、前記材料は伝導度が先に調整されたものであるが前記レンジ内のいかなる電気伝導度にも調整される能力によって特徴付けられるものである、請求の範囲第19項の方法。

21. 微細結晶質半導体材料からなる多元素組成物の電気伝導度を調整する方法であって、前記成分元素は、相互結合 (intercouple) して該材料の結晶の格子構造

を形成すると共に、前記調整は、前記多元素組成物の前記成分元素の少なくとも一つの原子によって寄与された自由電荷の濃度を変えることによって達成され、前記方法は

各成分元素の原子を前記組成物に組込んだ格子構造によって規定された所定量のクリスタリットを含む微細結晶質半導体材料の組成物を提供し、

前記組成物における成分元素の一つによって寄与された電荷キャリアを加減するように前記材料に電気信号を適用し、これによって前記材料の電気伝導度が前記一成分元素によって寄与された自由電荷の濃度に依存する新規の値に調整され、および

前記適用された信号によって決定された自由電荷の濃度を維持し、前記信号の前記材料への適用を終了した後でさえ前記材料の電気伝導度の新規な値が一定でとどまる各ステップを含む微細結晶質半導体材料からなる多元素組成物の電気伝導度を調整する方法。

22. Se, Te, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, Oおよびそれらの混合物または合金からなる群より選択された少なくとも1種の均質のカルコゲナイド元素を含む組成物からなる半導体材料を形成するステップをさらに含む、請求の範囲第21項の方法。

23. Te, Ge および Sb を $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ の組成比で

該コンタクト間に配された単一セルメモリ素子を形成するメモリ材料のポリウムとを含み、

該メモリ材料のポリウムは、Se, Te, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, O およびそれらの混合物または合金からなる群より選択された複数の成分元素から形成されており、各元素はメモリ材料のポリウム全体を通して存在しており、

さらに入力信号を適用してメモリ材料のポリウムを選択された抵抗値に固定する手段とを含み、

前記メモリ材料のポリウムは、該メモリ材料のポリウムの位置上の組成を変えて実質的に該材料の抵抗を安定化する手段を含み、該メモリ材料のポリウムは入力信号の投入が終了した後、ドリフトなしに前記選択された抵抗値への固定をそのままとするのに適合されている、改良された単一セルメモリ素子。

28. 前記組成を変える手段は組成的に傾斜したメモリ材料のポリウムを含む、請求の範囲第27項の改良されたメモリ素子。

29. 前記組成を変える手段は組成的に層化したメモリ材料のポリウムを含む、請求の範囲第27項の改良されたメモリ素子。

30. 前記組成を変える手段は、組成的に傾斜し、か

実質的に含み、その下付き文字は原子%であり、全体を100%含し、 $40 \leq a \leq 58$ および $8 \leq b \leq 40$ とした材料からなる前記半導体材料を形成するステップをさらに含む、請求の範囲第22項の方法。

24. 前記適用された信号を、出力および持続時間の選択された少なくとも一つの電気パルスという形態で提供するステップをさらに含む、請求の範囲第21項の方法。

25. 少なくとも一つの成分元素はカルコゲナイドであり、かつ、自由電荷キャリアの前記調整は孤立電子対の格子の相互作用を調整することによって達成される、請求の範囲第21項の方法。

26. 前記信号の適用/終了を繰り返して前記半導体材料を同一または異なる電気伝導度に調整するステップをさらに含み、前記材料は電気伝導度が先に調整されたものであるがある電気伝導度に調整される能力によって特徴付けられるものである、請求の範囲第21項の方法。

27. 立体的に配され、記憶された情報を読み出しかつメモリ素子に情報を書き込むための端子を提供する一対のコンタクトと、

つ、組成的に層化したメモリ材料のポリウムを含み、請求の範囲第27項の改良されたメモリ素子。

31. 前記傾斜組成物は、 $\text{Ge}_{1-x}\text{Sb}_x\text{Te}_{100}$ から $\text{Ge}_{100}\text{Sb}_0\text{Te}_{100}$ まで傾斜した組成を含む、請求の範囲第28項の改良されたメモリ素子。

32. 前記層化された組成物は、 $\text{Ge}_{1-x}\text{Sb}_x\text{Te}_{100}$ と $\text{Ge}_{100}\text{Sb}_0\text{Te}_{100}$ の別個の層を含む、請求の範囲第29項の改良されたメモリ素子。

33. 前記傾斜組成物と前記層化された組成物の組み合わせは、 $\text{Ge}_{100}\text{Sb}_0\text{Te}_{100}$ の一層と、 $\text{Ge}_{1-x}\text{Sb}_x\text{Te}_{100}$ と $\text{Ge}_{100}\text{Sb}_0\text{Te}_{100}$ の傾斜された一組成物を含む、請求の範囲第30項の改良されたメモリ素子。

34. 前記傾斜組成物と前記層化された組成物の組み合わせは、 $\text{Ge}_{1-x}\text{Sb}_x\text{Te}_{100}$ の一層と、 $\text{Ge}_{1-x}\text{Sb}_x\text{Te}_{100}$ と $\text{Ge}_{100}\text{Sb}_0\text{Te}_{100}$ の傾斜された一組成物を含む、請求の範囲第30項の改良されたメモリ素子。

35. 前記メモリ材料のポリウムと前記コンタクトとは、薄膜材料のマトリックスアレイを画定するように形成されており、該アレイ内の各メモリ素子は、薄膜分離素子によって同一アレイ内の他のメモリ素子から

アドレス的に分離されている、請求の範囲第27項の改良されたメモリ素子。

36. 薄膜メモリ素子と分離素子との組み合わせは、別個にアドレス可能な高密度メモリセルの三次元マルチレベルアレイを画定する、請求の範囲第35項の改良されたメモリ素子。

37. 前記メモリ材料のボリュームは、(1) 電気抵抗値の大ダイナミックレンジと、(2) 前記メモリ材料のボリュームが先に固定した抵抗値を有しているが、マルチレベル記憶能力を有する前記単一セルを提供するように選択された電気入力信号に応答して前記ダイナミックレンジ内の複数の検出可能な値の一つに固定される能力とによって特徴付けられている、請求の範囲第27項の改良されたメモリ素子。

38. 前記メモリ材料のボリュームは、大きな寸法が約1,000 Å未満であるクリスタリットを含む、請求の範囲第27項の改良されたメモリ素子。

39. 前記メモリ材料は、その成分元素が存在する実質的に分離した層内に不均等に配されている、請求の範囲第27項の改良されたメモリ素子。

前記メモリ材料に記憶された情報を読み出しかつ前記メモリ材料に情報を書き込むための端子を提供する、立体的に配された二つのコンタクトからなり、入力信号を適用して前記メモリ材料を選択された抵抗値に固定する手段：および

メモリ材料からなる前記単一セルは、該材料の抵抗値が先に固定されているが、前記選択された入力信号によって所望の抵抗値に安定化され、かつ、前記材料が前記固定信号が終了した後に前記固定された値での固定を維持する能力を有している、直接上書き可能な単一セルメモリ素子。

44. 前記立体的に配された二つのコンタクトはそれぞれさらに前記メモリ材料のボリュームから離れたシリコン材料からなる薄膜状の層の上に配されたカーボン材料からなる薄膜状の層を含む、請求の範囲第43項のメモリ素子。

45. 前記立体的に配された二つのコンタクトはそれぞれ前記カーボン材料からなる薄膜状の層上に配されたモリブデン材料からなる薄膜状の層を付加的に含む、請求の範囲第44項のメモリ素子。

46. 前記シリコン材料からなる薄膜状の層は、起源的に非晶質状態であり、かつ、初期の形成／スイッチン

40. 前記組成的な手段は、バンドギャップを広げる元素の前記材料のボリュームへの添加を含む、請求の範囲第27項の改良されたメモリ素子。

41. 前記メモリ材料のボリュームの位置上の組成を変える手段は、共有結合における増加を含む、請求の範囲第27項の改良されたメモリ素子。

42. 前記メモリ材料のボリュームは、孤立電子対を含む少なくとも一つの成分元素を含み、前記メモリ材料のボリュームの位置上の組成を変える手段は、前記半導体材料のバンドギャップにおける欠陥状態を創作するか、あるいは排除するための前記孤立電子対の周辺環境の変成を含む、請求の範囲第27項の改良されたメモリ素子。

43. (1) 電氣的に検出可能な少なくとも二つの抵抗値と、(2) データ記憶能力を有する単一セルを提供するように選択された電気入力信号に応答して前記検出可能な値の一つに固定される能力とによって特徴付けられるSe,Te およびそれらの混合物および合金からなるカルコゲンを含む単一セルメモリ素子を画定するメモリ材料のボリュームと、

前記メモリ材料のボリュームに直接接触するように配されたシリコン材料からなり薄膜状の層を含み、前

グ中に後発的に前記薄膜状の非晶質シリコン材料の部分が結晶化したものである、請求の範囲第43項のメモリ素子。

47. シリコンおよびカーボン材料からなる前記薄膜状の層は、起源的に非晶質状態であり、かつ、初期の形成／スイッチング中に後発的に非晶質シリコンおよびカーボン材料からなる前記薄膜状の層が結晶化したものである、請求の範囲第44項のメモリ素子。

48. 前記メモリ材料のボリュームは、Cr,Fe,Niおよびそれらの混合物または合金からなる群より選択された遷移金属を付加的に含む、請求の範囲第43項のメモリ素子。

49. 一元素または多元素が、固定抵抗のドリフトを減少させるように前記メモリ材料のボリュームの全体を通して組成的に傾斜(grading)されている、請求の範囲第43項のメモリ素子。

50. 前記メモリ材料のボリュームは、約1ミクロン未満の孔内に操作的に配されている、請求の範囲第43項のメモリ素子。

51. 前記メモリ材料を所望の抵抗値に固定した前記選

択された電気入力信号は、約1ボルトと約2ボルトとの間のパルス電圧、約0.5ミリアンペアと約1ミリアンペアとの間のパルス電流を用い、約100ナノ秒と500ナノ秒との間の持続時間の選択されたパルスのうち少なくとも一つのパルスである、請求の範囲第43項のメモリ素子。

52. 前記メモリ材料のボリュームと前記コンタクトとは、薄膜材料のマトリックスアレイを画定するように形成されており、該アレイ内の各メモリ素子は、薄膜分離素子によって同一アレイ内の他のメモリ素子からアドレス的に分離されている、請求の範囲第43項のメモリ素子。

電氣的に消去可能な、直接重ね書き可能な
マルチビット単セルメモリ素子および
それらから作製したアレイ

技術分野

本発明は、一般に、高濃度の変調可能な自由電荷キャリア(free charge carrier)を特徴とする独特な新しいクラスの半導体材料に関するものである。

この新しいクラスの半導体材料から作製された半導体デバイスの動作機構は従前の半導体デバイスの動作とは異なっており、並外れた新しい性質を示す新しいデバイス構成を呈するように仕立てることができる。さらに詳しくは、本発明は新しいクラスの狭バンドギャップ微細結晶質(microcrystalline)半導体材料そのものに；固体の電氣的におよび光學的に動作する直接重ね書き可能な、極低エネルギーの、非常に高速のスイッチングをする、不揮発性の、アナログおよびマルチレベル単セル動作メモリ素子に；およびこれらの材料から作製された高密度電気メモリアレイに関するものである。

なお、本明細書の記述は本件出願の優先権の基礎たる米国特許出願第747,053号(1991年8月19日出

願)、同第768,139号(1991年9月30日出願)、同第789,234号(1991年11月7日出願)、同第880,763号(1992年5月8日出願)、および同第898,635号(1992年6月15日出願)の明細書に基づくものであって、当該米国特許出願の番号を参照することによって当該米国特許出願の明細書の記載内容が本明細書の一部を構成するものとする。

背景技術

オボニック(Ovonic)EEPROMは新規な、当出願人所有の、高性能、不揮発性、薄膜電子メモリデバイスである。このデバイスにおいては、情報はアナログの形またはバイナリの形(1ビット/メモリセル)あるいはマルチステートの形(多ビット/メモリセル)のいずれの形でも記憶することができる。オボニックEEPROMの利点はデータの揮発性記憶ができること、台の上面(footprint)が小さく単純な2端子デバイス形状である結果高ビット密度に、従って低コストに、できる可能性があること、再書き込線返し(リプログラミングサイクル)寿命が長いこと、書き込(プログラミング)が低エネルギーかつ高速であることを含んでいる。オボニックEEPROMはバイナリおよびマルチステート動作をする能力を有する。バイナリ性能特性またはマルチステート性能特性を向上するのに使用される構造および

材料には小さな違いがある。本発明の目的のためには「メモリ素子」および「制御素子」という用語は同義的に使用される。

たいていの半導体デバイスの動作は熱平衡において生成されるものとは異なる可動電荷キャリア濃度の制御により規制される。本発明前は、固体半導体デバイス内の過剰または自由(これら2つの用語は本明細書全体にわたって交換可能に使用されている)電荷キャリアの濃度を規制し変調する方法としては4つの一般的方法が知られていたに過ぎない。これら4つの公知方法については、本発明の利点を評価するために必要な半導体デバイスの動作の基本的メカニズムの一般的説明の後で説明されるであろう。

説明のための例として、不純物を含まないかまたは格子欠陥のない完璧な半導体格子--真性半導体--では、0ケルビン(K)では電荷キャリアは存在しない。それは価電子帯が電子で満たされており、伝導帯が空であるからである。しかしながら、高温下では、価電子帯電子として生成された電子-正孔対が熱により励起されてバンドギャップを横断して伝導帯に到達する。これらの熱的に生成された電子-正孔対が真性半導体材料内に存在する唯一の電荷キャリアである。もちろん、電子と正孔は対をなして生成されるので、伝導帯電子濃度(電子個数/立方センチメートル)は価電子帯内の正孔濃度(正孔個数/立方センチメー

ル)に等しい。よく知られていることではあるが、強調に値するのは、定常状態キャリア濃度が維持されるべきものとすれば、生成されるのと同じ速度で電荷キャリアが再結合しなければならないということである。再結合が起きるのは、伝導帯の電子が、直接的にまたはギャップ中間の再結合中心の媒介により間接的に、空状態(正孔)に遷移し、それにより対を消滅させるときである。

熱的に生成された電荷キャリアに加えて、結晶格子中に或る不純物を故意に導入することにより半導体材料中にキャリアを創製することが可能である。この方法はドーピングと呼ばれており、半導体の導電性を変える慣用的方法である。ドーピングにより、半導体材料を電子または正孔のいずれかがあらかじめ優勢になるように、すなわち、 n -型もしくは p -型のいずれかになるように、変えることができる。結晶格子がドーピングされて平衡キャリア濃度が真性キャリア濃度と異なると、半導体材料は「エキストリンシック」("extrinsic")であるといわれる。それ以外の点では完璧な格子をもつ結晶に不純物または格子欠陥が導入されるとエネルギーバンド構造に追加の準位が通常バンドギャップ内に創製される。例えば、シリコンまたはゲルマニウムに燐を導入すると、伝導帯の極近傍にエネルギーバンドが生じる。この新しいエネルギーバンドは零(0)Kにおいて電子で満たされており、これらの電子

を励起して伝導帯に到達させるのにごくわずかしかな熱エネルギーを必要としない。このように、約50-100Kでは、不純物準位の実質的に全ての電子が伝導帯に供与される。ドナー不純物をドーピングされた半導体は伝導帯にかなりの濃度の電子を持つことができるが、これは温度が真性電荷キャリア濃度が認められるには低すぎるような温度であってもそうである。

読者は上述したように過剰の電荷キャリアの存在の電気伝導度に対する意義を認めることができる上は、これらのキャリアが光学的励起によっても創製することができること、あるいはこれらのキャリアは順方向バイアスされた p - n 接合またはショットキ障壁を横切って注入することができることに注意すべきである。簡単に述べ、かつ、過剰のキャリアが発生する仕方を見捨てて説明すると、過剰の電荷キャリアは半導体材料の電気伝導工程を支配することができる。先に述べたように、自由電荷濃度を調整するには4つの方法が知られている。それら4つの方法は以下に説明する通りである。

(1) 1948年にバーディーン、ブラッテンおよびショックレーが半導体エレクトロニクスの新しい時代を招来し、彼らはバイポーラ接合トランジスタに注入された少数電荷キャリアの流れをうまく変調することにより、固体増幅器の動作を実証した。バイポーラ接合トランジスタは3端子デバイスであり、2つの端子

を流れる電流は第3の端子において電流を小さく変化させることにより調節(コントロール)することができるものである。この調節ができるという特徴により小さな信号の増幅やデバイスを「オン」状態から「オフ」状態に切り替えることができる。換言すると、バイポーラトランジスタは半導体接合を横断する少数電荷キャリアの注入および収集を変調するのに使用される。さらに詳しくは、例えば p - n - p バイポーラ構造(n - p - n バイポーラ構造の動作は p - n - p バイポーラ構造の動作を単に逆転したものである。)の場合を考察すると、順方向バイアスされた接合の負極側は逆方向バイアスされた接合の負極側と同じである。この構成では、 p - n 接合から中央の n 領域内へ正孔を注入すると少数キャリアである正孔が供給され、この n - p 接合を通して電流が逆流するのに関与する。いまや明白になったように、このデバイスの呼称「バイポーラ」は電子と正孔の双方の動作の決定的重要性に関連したものである。

作用においては、デバイスの p - n 接合を通して流れる逆飽和電流はこの接合の近傍に少数キャリアが生成される率によって決まる。電子-正孔対発生率を増加させることによって接合を通過する逆電流を増加することは可能である。これは光で達成することができる(光検知器について以下に説明するように)。電気的には、都合のよい正孔注入デバイスは順方向バイアス

された p - n 接合であって、その電流が p 領域から n 材料に注入された正孔に主としてよっている接合である。順方向バイアスされた接合の n 側が逆方向バイアスされた接合の n 側と同じであると、得られる p - n - p 構造が動作するのは、 p - n 接合から中央の n 領域内への正孔の注入により少数キャリアである正孔が供給されトランジスタの n - p 接合を貫通する逆電流に加わる時である。もちろん、 n -領域は狭いので注入された正孔は n 領域内(この p - n - p バイポーラトランジスタの基部)では再結合せず、逆方向バイアスされた接合の空乏層へと拡散されて初めて再結合する。

最後に、スイッチとして使用する場合は、このタイプのトランジスタは普通、「オン」状態と「オフ」状態と呼ばれる2つの導電状態に調節される。トランジスタはスイッチをつけたとき短絡回路として、また、スイッチを切ったときに解放回路として機能する訳ではないが、トランジスタはこれらの動作を近似させることができる。トランジスタ・スイッチングでは、エミッタ接合は順方向バイアスされ、コレクタは逆方向バイアスされており、適当な量の電流がベースから流出する。ベース電流が零にスイッチされると、コレクタ電流は無視し得るようになる。これが「オフ」状態である。しかしながら、ベース電流が正で十分大量であるならば、デバイスは飽和領域(レジーム)へと駆動され、トランジスタは「オン」状態となる。従っ

て、典型的なスイッチング動作では、ベース電流は正から負へ振れ、それによりデバイスは飽和からカットオフに、またその逆に、駆動される。

(2) 第2の従来の自由電荷キャリアの濃度制御方法は金属酸化物半導体電界効果トランジスタ(MOSFET)デバイスによって施行される。背景説明として、最も広く使用されている電子デバイス、特にデジタル集積回路に使用されているものの一つ、は金属-絶縁体-半導体(MIS)トランジスタである。MISトランジスタでは、伝導チャネルの電荷キャリア濃度はチャネルから絶縁体によって絶縁(isolate)されているゲート電極に印加された電圧によって制御される。得られたデバイスは絶縁ゲート電界効果トランジスタ(IGFET)と総称することができる。しかしながら、たいていのIGFETはゲート電極が金属(典型的にはアルミニウム)、絶縁体が二酸化シリコン、半導体材料がシリコンを使用して作製されているので、MOS電界効果トランジスタまたはMOSFETの用語が一般に使用されている。

MOSFETの動作においては、p-型シリコン基板上に形成されたn-型チャネルを考慮することとする。n-型ソース領域およびドレイン領域は薄くドーパされたp-型基板にドーパント原子を拡散するかまたは打ち込むことにより形成される。薄い酸化物層が金属ゲートとシリコン基板の間にある。ドレインからソースへは、それ

らの間に導電性のn-型チャネルが存在しない限り、電流は流れない。その理由は、ドレイン-基板-ソース結合体は直列に配列された反対に向けたp-n接合を含んでいるからである。ゲートに基板(本例の場合はソース)に対して正の電圧を印加すると、正の電荷キャリアがゲート金属に堆積する。この堆積の結果、空乏領域の形成により、負の電荷キャリアがその下のシリコン中に誘導される。さらに、可動電子を含有する薄い表面領域が形成される。誘導された電子はFETのチャネルを形成して電流がドレインからソースへ流れるようにしている。ゲート電圧の効果は、ドレイン-ソース電圧が低い場合に、誘導されたチャネルのコンダクタンスを変化させることである。MOS電界効果トランジスタは特にデジタル回路に有用である。このデジタル回路では「オフ」状態(導電性チャネルなし)から「オン」状態へスイッチされる。n-チャネルおよびp-チャネルMOSトランジスタはともに非常によく使用される。

MOS構造は一つのプレートが半導体であるキャパシタとして考えることができる。負の電圧が金属と半導体の間に印加されると、負電荷が金属に効果的に堆積される。これに回答して等しい正味の正電荷が半導体の表面に蓄積される。p-型基板の場合は、これは半導体-金属界面における正孔の蓄積によって起きる。印加された負の電圧は金属の半導体に対する静電ポテン

シャルを抑制するので、金属の半導体に対する電子エネルギーが増加する。半導体のエネルギーバンドは界面近傍で湾曲して正孔の蓄積に対応している。MOS構造を通して電流が流れないので半導体のバルク内のフェルミ準位の位置は変動しない。その結果、界面近傍の半導体バンドが湾曲し、フェルミ準位が界面に隣接する価電子帯により接近し、それにより、p-型半導体材料のドーピングに由来するものよりも高い正孔濃度を示す。

正の電圧が金属から半導体に印加されると、金属のポテンシャルが上昇し、それにより、金属のフェルミ準位をその平衡位置に対して低下させる。その結果、酸化物の伝導帯は再び傾斜する。正の電圧が金属に正電荷を堆積し半導体の表面に相当する正味負電荷を効果的に誘導する。そのようなp-型材料中の負電荷は表面近傍の領域からの正孔の空乏に由来し、その空乏により補償されないイオン化されたアクセプタが残る。この空乏領域では、正孔濃度は減少し、バンドを湾曲させて半導体表面近傍まで低下させる。正電荷が増加し続けると、半導体表面のバンドはさらに下方に湾曲する。事実、電圧が十分に高いと、伝導帯の電子濃度を高くすることができる。この場合、半導体近傍領域はn-型材料に典型的な導電特性を有する。このn-型表面層はドーピングによって形成されるのではなく、最初はp-型半導体材料であったものの印加電圧による「

逆転」によって形成される。この逆転された層は、その下にあるp-型材料から空乏領域によって分離されているが、MOSトランジスタ動作にとって重要である。

(3) 電荷キャリアの濃度を調節する第3の公知方法は、両極性の自由電荷キャリアの光生成によるものである。自由電荷キャリアのこの光生成は光ボルク電池、光検知器や電子写真ドラムのような技術水準に属するデバイスにおいて起きる。

一般に、半導体材料中に過剰の電子または正孔が創製されると材料の電気伝導度に相当する増加がみられる。この過剰電荷キャリアが光学的励起により発生する場合は、伝導度に生じた増加は「光伝導度」(photoconductivity)と呼ばれる。光子が半導体材料に衝突するように向けられていると、バンドギャップエネルギーよりも大きいエネルギーを持つ光子は吸収されて電子-正孔対が発生する。この吸収工程により創製された電子と正孔は過剰キャリアである。それらは環境に対してバランスを崩しているので、かつ、それぞれのバンド内に存在するので、その材料の電気伝導度に寄与している。

(4) 半導体材料中の自由電荷キャリアの濃度の変調方法の第4の公知方法は、カルコゲナイド相変化材料が可逆的な非晶質(amorphous)-結晶相転移をするので、その物理的構造を制御することによるものであ

る。この現象の詳しい説明はエナジー・コンバージョン・デバイス社のS.R. Ovshinskyにより先鞭を付けられた光学的および電気的オボニック(Ovonic)相変化材料についての初期の仕事において報告されている。これらの材料と技術について以下に詳細に説明する。

本発明はエレクトロニクスおよび半導体の種々の多くの分野に対して有意義な科学的利用可能性および直接的な商業的インパクトを有するので、本発明を以下に3つの異なるが、関連するサブセクションに分けて説明する。さらに詳しくは、本発明の関連性を(A)半導体デバイス自体、(B)光動作可能な高速不揮発性相変化メモリ、および(C)電気的に消去可能な、直接重ね書き可能なマルチレベル単一セルメモリについて説明する。

初期の電気的相変化メモリ

電気的に書き込みおよび消去可能な相変化材料（すなわち、一般的に非晶質状態と一般的に結晶状態の間を電気的に切り替えることができる材料）を電子メモリ用途に使用するという一般的概念は当業界で周知であり、例えば米国特許第3,271,591号明細書（オブシンスキ(Ovshinsky), 1966年9月6日発行）および米国特許第3,530,441号明細書（オブシンスキ(Ovshinsky), 1970年9月22日発行）（両特許はともに本出願人が譲受人であり、両特許の開示はそれらの番号を本明細書中に引用することにより本明細書の内容

の一部となるものである（以下、オブシンスキ特許という）。

オブシンスキ特許に開示されているように、そのような相変化材料は、一般的に非晶質の局所的秩序をもつ構造状態と一般的に結晶性の局所的秩序をもつ構造状態の間で、または完全な非晶質状態と完全な結晶状態との間での全スペクトルにわたって局所的秩序の異なった検知可能状態同士の間で電気的に切り替えることができる。すなわち、オブシンスキ特許の記載によると、そのような材料の電気的スイッチングは完全な非晶質状態と完全な結晶状態との間で起きることは要求されず、局所的秩序の変化を反映する段階的に増加する状態で行うことができ、完全な非晶質状態と完全な結晶状態との間のスペクトルを網羅する局所的秩序の多数の条件により表される「グレイスケール」を与える。オブシンスキ特許に記載された初期の材料は一般に非晶質の局所的秩序と一般的に結晶性の局所的秩序の二つの構造状態だけの間で切り替えることもでき、コードされたバイナリ情報の単一のビットの記憶および検索に対処したものである。

オブシンスキ特許に記載の電気的に消去可能な相変化メモリは多数の商業的に有意義な応用面で使用された。しかしながら、商業化に必要な資金調達ができなかったことから、固体電子メモリの他の分野における後続の開発が市場においてこれらの初期の電気的に消

去可能な相変化技術に事実上取って替わり、これらの電気的に消去可能な相変化メモリが例えばパーソナルコンピュータのような電気的デバイスに使用されることを阻んだ。

典型的なパーソナルコンピュータでは4層のメモリがあるのがしばしばである。記録情報は磁気テープやフロッピディスクのような、廉価な、低速の、大記憶容量の、不揮発性デバイスに記憶される。この情報は、必要に応じて、より高速でより高価ではあるが依然として不揮発性のハードディスクメモリに移される。ハードディスクからの情報は、今度は、半導体ダイナミックRAM(DRAM)デバイスを使用する、さらに高価な、高速の揮発性システムメモリに移される。非常に高速のコンピュータはDRAMに記憶された情報の小部分をさらに高速かつさらに高価な揮発性スタチックRAM(SRAM)デバイスに移したり戻したりして、マイクロプロセッサが比較的到低速のDRAMからデータを取り込むのに必要な時間がかかるからといって速度低下することがないようにしている。メモリヒエラルキー（階層）の層間の情報のトランスファーはコンピュータの能力（パワー）のかなりの部分を占め、この「諸経費（オーバーヘッド）」が能力を減少させ、その結果コンピュータのアーキテクチャがさらに複雑になる。しかしながら、階層構造を現在使用しているのは、入手可能なメモリデバイスの価格と性能により並びにコ

スト低下を図りつつコンピュータ性能を最適化する必要性によりやむを得ないことである。

オブシンスキ特許に記載の電気的に消去可能な相変化メモリ並びにその後の電気的固体メモリは多くの限界があったため、テープ、フロッピディスク、磁気または光学のハードディスクドライブ、固体ディスクフラッシュ、DRAM、SRAM、ソケットフラッシュメモリのような現在のコンピュータメモリ用途に直接かつユニバーサルに置き替わるものとして広く使用されることができなかった。特に、これらの限界のうち最も重要なのは以下のものである。すなわち、(i) 特に局所的秩序が増加する方向（結晶化が増加する方向）に切り替えられたときに、電気的スイッチング速度が比較的に低速（現在の標準による）であること、(ii) 局所的秩序に検知可能な変化を起こすのに必要な入力エネルギー要求が比較的に高いこと、および(iii) 記憶された情報のメガバイト当たりコストが（特に現在のハードディスクドライブメディアに比較して）比較的に高いことである。

これらの限界のうち最も重要なものは、局所的秩序の検知し得る変化を創始するためにカルコゲナイド材料の化学的および／または電子的結合構造の検知し得る変化を得るのに必要なエネルギー入力が比較的に高いことである。同様に重要なのは、オブシンスキ特許に記載の電気的メモリ材料のスイッチング時間である。

これらの材料は典型的には数ミリ秒の範囲の時間をセット時間（材料を非晶質状態から結晶状態に切り替えるのに必要な時間）として必要とし、リセット時間（結晶状態から非晶質状態に切り替えて戻すのに必要な時間）としてほぼマイクロ秒を必要としていた。これらの材料を切り替えるのに必要な電気エネルギーはほぼマイクロジュールの範囲である。

注意すべきは、この量のエネルギーがメモリセルの行と列の固体マトリックスのメモリ素子のおおのにおに送られなければならないことである。そのような高エネルギーレベルはアドレス線と、それぞれの分離したメモリ素子と関連したセルアイソレーション／アドレスデバイスとに対して電流を多く担持することが要求されることを意味する。これらのエネルギー要件を考慮すると、当業者にとってメモリセルアイソレーション素子の選択が非常に大きい単結晶ダイオードまたはトランジスタアイソレーションデバイスに限られることになり、ミクロンスケールのリソグラフィの使用、従ってメモリ素子の高密度実装の使用が不可能となる。従って、この材料から作製されるマトリックスアレイのビット密度が低いので、記憶された情報のメガバイト当たりコストが高くなる。

アルカイバル不揮発性マスメモリと高速揮発性システムメモリとの間の価格および性能の差を効果的に縮めることにより、本発明のメモリ素子は新規な非階層

「ユニバーサルメモリシステム」の創製を許容する能力を有するものである。元祖オブシンスキ型電氣的相変化メモリに比べて本明細書に記載のメモリ材料は10の6乗倍高速の書込時間（30ナノ秒未満）を提供し、異常に低い書込エネルギー（50ピコジュール未満）を使用するが、長期安定性と繰返し可能性(cyclability)（2千万サイクル超）が実証されている。また、実験結果から素子サイズをさらに減少させるとスイッチング速度と繰返し寿命を向上させることができることが示されている。

一般に、カルコゲナイドメモリ材料の開発と最適化は、現在実質的により速いスイッチング時間と実質的により低いセット時間およびリセット時間を持つ他の型の固体電気メモリと同じ進捗で進んでいない。これらの他の形のメモリは、あるメモリ用途では、固体マイクロエレクトロニクス回路エレメントを各メモリビットに対して典型的には数個（ビット当たり3または4個のトランジスタ）使用する。そのような固体メモリの、EEPROMのような、第1次「不揮発性」メモリ素子は、典型的には、再書込可能性が限定されたかつ電界効果トランジスタのゲート上に電荷を保持して各メモリビットを記憶する、フローティングゲート電界効果トランジスタデバイスである。この電荷は時間の経過と共に漏洩するので、情報の記憶は真に不揮発性ではない。というのは、上述の素子が作製されるカル

コゲナイド材料の現実の原子構造または電子構造の変化により情報が記憶されるのは従来技術の相変化媒体においてであるからである。これらの他の形のメモリは現在市場で限定的ではあるが受け入れられている。

DRAMおよびSRAM揮発性メモリデバイスや異なる他の「フラッシュ」装置、例えばフローティングゲート構造とは対照的に、本発明の電氣的メモリデバイスは電界効果トランジスタデバイスを必要としない。実際、電氣的消去可能で、かつ直接重ね書き可能な本発明のメモリ素子は、製造する上で最も単純な電氣的メモリであって、薄膜カルコゲナイド材料からなるモノリシックな本体およびアイソレーション用の半導体ダイオードに対する2つの電氣的接点を有する。その結果、たいへん小さなチップ「リアルエステート(real estate)」が情報のビットを保存するのに必要で、それによって高密度メモリチップが提供される。さらに、下記に示すように、情報密度の付加的増大は各個別のメモリセルのマルチビット記憶(multibit storage)を通じて達成される。

現在使用されている固体、電子メモリは、製造するには相対的に高価なものであり、磁気ディスク記憶装置に関して記憶容量のビットあたり一般に約2倍のコストがかかる。一方、そのような固体電子メモリは、可動部材を持たず、操作する際の電気エネルギーの消費

が少なく、移動および保存が容易であり、さらにパーソナリティがより一層高くポータブルコンピュータや他のポータブル型電子装置に適用することが可能であるという点で、磁気ディスク記憶装置よりも優れている。実際、ハードディスク製造業者は、非常に小さなハードディスク装置や結局はポータブルコンピュータ分野での固体メモリ記憶の使用が急激に増加することを予測している。また、ディスクタイプは必要なメモリの位置にアクセスするためにディスクヘッドを適当なデータトラックへ物理的に移動させることを必要とするが、それとは反対に固体メモリは一般に正確なランダムアクセスを行う装置である。しかし、そのような利点を有するにもかかわらず、電氣的消去可能な固体メモリはコストが高いため、磁性メモリ装置が現在優勢を占めている市場において実質的なシェアを享受することができない。電氣的消去可能な固体メモリをコストを下げた製造することは可能かもしれないが、磁性ディスク装置に完全にとってかわるには固体メモリ材料の性能に関するパラメータが全体的に不適当である。

我々は、自由電荷濃度を変えるのに使うことが可能な半導体装置がたった4種類しか知られていないことをすでに述べた。そして、それらの装置の各々についてある程度詳細に検討した。相対的に低いエネルギーバルスによって複数の異なる抵抗値に設定可能で、かつ

スイッチングの速度を相対的に速くすることが可能な第5番目の半導体装置をここで詳細に検討する。装置の特性と装置の動作上における物理的なことを記載した以下の段落を注意深く精読することによって、なぜそれが電荷濃度を変える半導体装置の第5番目のタイプのものであると分類されないのかについて理解することができよう。

最近開発されたメモリ装置は、金属-非晶質シリコン-金属 (MSM) 電気的メモリスイッチである。ローズ (Rose) ら、「非晶質シリコンアナログメモリ装置 (Amorphous Silicon Analogue Memory Devices)」、ジャーナル オブ ノンクリスタルソリッド (Journal of Non-Crystalline Solids)、115(1989)、pp168-70およびハイト (Hajto)、「非晶質-シリコンメモリ構造での量子化電子輸送 (Quantized Electron Transport in Amorphous-Silicon Memory Structures)」、フィジカルレビューレターズ (Physical Review Letters)、66巻、14号、1991年4月8日、pp1918-21を見よ。このMSM スイッチは、具体的に選択された金属接点をp-型非晶質シリコン (a-Si) 薄膜の両側に堆積することによって製造される。金属接点を選択することの重要性は後述する。MSM メモリスイッチは、1ボルトから5ボルトまでの電圧パルスに関して相対的に速い (10~100ns) アナログスイッチング動作を示すので、抵抗値の範囲を約

$10^3 \sim 10^8$ オームとして非揮発的に設定することができ。当業者が容易に理解することではあるが、ローズらおよびハイトらのMSM メモリスイッチは本発明のメモリ素子の電気的スイッチング特性と類似の電気的スイッチング特性 (すなわち、時間、エネルギーおよび結果として生じる装置抵抗) を示すが両者の間にははっきりとした動作上の違いが実際存在する。

電気的スイッチングのもっとも顕著な違いは、MSM メモリが直接重ね書きされることができないことである。すなわち、MSM スイッチは、アナログレンジにある複数の抵抗のいずれか一つの抵抗から他の抵抗へ、最初のものが消去されること (所定の初期抵抗または「初期状態」に設定すること) なしに可逆的にかつ直接的に変えることができない。より具体的には、MSM スイッチはアナログレンジにある他の抵抗値に設定される前に、まずはじめに高抵抗状態 (消去) に設定されなければならない。それとは対照的に、本発明のメモリ素子は、そのレンジ内において他の抵抗に設定される前の消去を必要とせず、すなわち直接重ね書きすることが可能である。

ローズらおよびハイトらのMSM メモリスイッチと本発明の電気的メモリ素子との間における電気的スイッチング特性に関する他の顕著な違いは、上記スイッチのバイポーラな挙動である。ローズらの文献に開示されているように、MSM メモリは書き込みに用いられる

電気パルスとは逆の極性を持つ電気パルスを用いて消去されなければならない。重要なことは、本発明のメモリ素子がデジタルまたはアナログスイッチングに用いられるかどうかとは関係なしに、パルスの極性逆転は本発明のメモリ素子においては必要とされないことである。

MSM メモリスイッチと本発明の電気的メモリ素子との間のそれらの違いは、素子を構成する材料の単なる違いではなくそれ以上のものである。それらの違いは、2つのデバイスの動作上の物理的なことを特徴づけるスイッチングメカニズムの根本的な違いを示すものである。すでに言及したように、また上記論文に開示されたように、MSM メモリの電気的スイッチング特性は、接点を製造するための特定金属に決定的に依存している。なぜなら、これらのMSM スイッチでは、たいへん活動的な「形成」プロセス (a very highly energetic "forming" process) が必要とされ、該プロセスにおいて少なくとも一つの接点から金属がスイッチ本体の不可欠な部分 (integral portion) に送られてその不可欠な部分として形成される。このプロセスでは、複数 (ローズらの論文の第1図から、少なくとも15) の連続的に増大する300ナノ秒、5~15ボルトのパルスがスイッチ形成に用いられる。ローズらは、「……デバイスのX-線微細分析による研究を行い、先端電極材料がa-Siのフィラメント状領域に

埋め込まれていることがわかった。このことは、先端金属がフィラメントに分布してスイッチング機構において何らかの役割を果たすことを示唆している……」と述べている。また、ローズらは、利用可能な抵抗のダイナミックレンジは上部電極接点 (upper electrode contact) を作る金属によって決定されることを特に明らかにした。ローズらが述べているように、「……その値が先端接点 (top contact) に完全に (原文のまま) 依存していること、また底部金属化 (bottom metallisation) (原文のまま) にはまったく依存していないことを発見した。すなわち、Cr上部電極デバイスはつねにデジタルであり、またV上部電極デバイスは底部電極とはかかわりなくつねにアナログである……」。

電気的なスイッチングが起こる領域は金属フィラメント領域内にあり、またa-Siへのこの金属の質量のマイグレーションを伴わないと、スイッチングが起こらないであろう (ハイトらの論文を見よ)。それとは完全に対比して、本発明のメモリ素子は、高速、低エネルギー、アナログ、直接重ね書き、メモリスイッチングを達成するために接点材料が薄膜メモリ素子へマイグレートすることを必要としない。材料効果として (As a matter effect)、本発明のメモリ素子の製造ではどの電極からも金属が活性カルコゲナイドへ拡散することがないように細心の注意が払われる。本発明に

記載されたデバイスの一実施例では、電極はそれぞれ二層構造として製造され、該構造において例えば炭素からなる薄膜バリアによって例えばモリブデンがカルコゲナイドスイッチング材料ヘマイグレートまたは拡散することを防ぐ。

ローズらおよびハイトらの上記分析から、MSM メモリスイッチはいかに想像を広げてみても自由電荷濃度のモデュレートとしての資格をもつものでないことが明らかである。むしろ、MSM メモリスイッチはある範囲の抵抗率を得るために非晶質シリコン材料を通るフィラメント状金属経路が作られることに単に依存しており、抵抗率変調スイッチ(modulated switch)が電流の流れを制御するために使われるのとほぼ同じである。パーコレーション経路(percolation pathway)を確立し、かつその径を増大または減少させることによって抵抗率を変化させることができる。このスイッチングプロセスではフェルミ準位の位置の移動が認められない。動作を説明するのに半導体材料の活性変化を含めることは必要ない。非結合孤立電子対の原子規模での動きは認められない。クリスタリット(crystallite)の体積に対する大きさおよび表面の比は、重要ではない。しかし、もっとも重要なことは、ローズらおよびハイトらのものではメモリ材料のセルに保存された情報に直接重ね書きすることが不可能であるということである。MSM スイッチは新しい情報が

書き込まれる前に保存情報を消去する必要がある。MSM メモリでは100 万回が限界であるとローズらが主張しているが、試験終了までに誤りをおかずにいられるサイクル数は本発明のメモリ素子では2000万回を越すことは驚くべきことではない。

簡潔に言うならば、安上がりで、製造容易で、非揮発性で、低入力エネルギーによる電氣的書き込みおよび直接消去可能(重ね書き可能)で、単一のセル(グレイスケールを有する)にマルチビット記憶可能で、そしてたいへん記録密度が高い固体メモリ装置は、それを製造する材料は別として、本発明に先だって開発されていない。下記のメモリは、既知のメモリ装置のすべての欠陥をアドレスすることから、現在市場に出回っているコンピュータメモリの実質的にすべての型と典型的に置換可能なものとして幅広く普及するであろう。さらに、本発明のメモリは全て薄膜からなる構成(all thin-film format)として製造されるもので、高速、高密度ニューラルネットワーク、および人工知能へ応用するための3次元配列が可能となる。したがって、本発明のメモリ装置は、ニューラルネットワークおよび人工知能装置に唯一適応可能なものである。なぜなら、瞬時にアドレス可能なことによって保存された情報から学習することが許されるような大量の情報記憶がその多層、3次元配列によって提供されるからである。

上記考察から明らかなように、本発明のメモリのスイッチング速度およびエネルギー要求における量的変化を従来の相変化メモリと比較すると、本発明のメモリは変調可能な半導体材料のまったく新たな種類を規定する。また、従来技術は、本発明の直接重ね書き、幅広いダイナミックレンジおよびマルチビット記憶能と類似するものはない。さらに、本発明の半導体材料の動作は単に結晶質状態で生じるので、結晶質-非晶質間相転移にたよるか、あるいは電流増幅場(current amplification field)の連続的適用に依存するかどちらか一方である従来の電氣的メモリ素子の動作とは非常に異なる。さらに、その違いは、自由電荷濃度が電場によってとりわけ変わるだけではなく、デバイスの変調された自由電荷のあらたな濃度が電場除去後一定である事実による。この特徴は、半導体装置内の自由電荷濃度を変調するための第5番目がかつ基本的に新しいメカニズムを示すもので、さらに半導体産業に顕著なインパクトを与えることができる新しくかつ単純なスイッチングおよび増幅技術の一範囲を可能とする。

当業者にとってはかなり明確なことではあるが、フラッシュEEPROMマーケットにアドレスするために、また一般的なメモリとして真剣に考えるために、メモリ素子が真に不揮発性であることが必須である。このことは、メモリ素子がマルチビット記憶能力を有すると

クレームされた場合により一層重要である。もし、設定された抵抗値が消失したか、あるいはある時間にわたって顕著にドリフトするとさらにわかった場合、それに保存された情報は破壊され、ユーザーはメモリのアーカイバル能力に対する信頼を失い、また技術はすべての信頼性を失う。時間と共にいかなるドリフトがあっても、たとえそれが小さなものでも寛大に扱うことはできないし、またそれはこの新しい種類のメモリ素子の開発における焦点でありつづけるだろう。このことは真実であろう。なぜなら、スイッチング速度、エネルギー等を改善するために開発され続けている構成も安定性のためにもっとも効果的にすることが必要とされるからである。

設定した抵抗の安定性に加えて、一般的なメモリに要求される他のより一層重要な要因は、低スイッチング電流である。これは、EEPROMが大規模なアーカイバル記憶に利用される場合に非常に重要である。このように使用されることによって、EEPROMは現在のコンピュータ装置の機械的ハードドライブ(例えば磁氣的または光学的ハードドライブ)にとって替わるであろう。従来の機械的ハードドライブをEEPROM「ハードドライブ」に替えることの主な理由の一つは、機械的装置の相対的に大きい電力消費を減少させることであろう。ラップトップ型コンピュータの場合、機械的ハードディスクはもっとも電力を消費する部材の一つであ

ることから特に関心が持たれる。したがって、この電力供給を減少させることは特に有益であり、それによって電力セルの一充電あたりのコンピュータ使用時間は実質的に増大する。しかし、もしEEPROMを機械的ハードドライブに取り替えることが高スイッチング電流を要求する（したがって高電力を要求する）場合、節電は非必然的であり、あるいはもっとも非実体的なことである。したがって、一般的なメモリとして考えられるいかなるEEPROMでも、低スイッチング電流を要求する。

EEPROM般的メモリがさらに要求することは、それに保存された情報の熱安定性が高いということである。今日のコンピュータ、特にパーソナルコンピュータは、日常的に高温にさらされる。このような高温は、電源または熱を発生する他の内部構成部品等の内側から生じる熱によって生じる。また、こうした高温は、例えば暑い気候下でコンピュータを使用したり、あるいはコンピュータが直接または間接的に熱せられる環境下でコンピュータを保管したりする等の環境要因によっても生じる。温度上昇がどのような原因によるものであろうとも、現在のコンピュータメモリ装置、特に「ハード」またはアーカイバルメモリは相対的に高温下であっても熱的に安定でなければならない。この熱的安定性がなければ、データの消失が起こるであろうし、既に述べた信頼性の喪失につながる。

メモリと替えられるEEPROMが相対的に長い書き込み／消去の繰り返し寿命を持たない場合、これらのメモリを頻繁に取り替える必要がある。このことは、消費者に余計な出費を強いることとなって消費者の信頼を失う。

発明の要約

スイッチング電流要求が低減し、かつ保存されたデータの熱安定性がより高くなった、基本的に新たな固体の、直接重ね書き可能で、電子的で、不揮発性で、高密度で、低コストで、製造容易な単一セルメモリ素子を以下に開示する。このようなメモリ素子では、エネルギー準位が著しく減少したところで数桁高いスイッチング速度を示すカルコグナイドメモリ材料の独得の種類が用いられる。本発明のメモリ素子およびアレイが作られるこの新規なメモリ材料は、とりわけ、パルス電圧、電流および持続時間が変化する電気的入力信号によって選択的かつ反復的に確立された局所原子的および／または局所電子的秩序からなる安定でかつ真に不揮発性の検出可能な形状を特徴とする。したがって、本発明のメモリデバイスは、少なくとも2種類の安定した設定が可能となるように、単一の結晶質状態で異なる局所秩序の原子的および／または電子的配置の間をスイッチ可能とする。ここに開示され

現在のメモリ装置はかなり熱的に安定なものであるが、その現在のメモリ装置と競争するためにEEPROMに替えるには、少なくとも現在のメモリ装置のものに匹敵する熱安定性が要求される。

さらにEEPROM般的メモリがほかにも必要とすることは、書き込みと消去とのサイクル寿命が長いということである。EEPROMに関して、すべてのアーカイバルメモリの場合と同様に、サイクル寿命は消費者の信頼と容認を得る上で重要な役割を担う。もし、メモリ装置のサイクル寿命があまりにも短い場合、消費者は貴重なデータを消失する恐れからこの装置の使用を望まないであろう。もしEEPROMがコンピュータメインメモリまたはディスプレイメモリにとって替わるものとして、すなわちDRAMまたはSRAMにとって替わるものとしてある場合、サイクル寿命が長いことが決定的に必要となる。メインおよびディスプレイメモリはコンピュータのデータ記憶の書き込みおよび消去をもっとも頻繁に行う領域である。コンピュータプログラムがロードされるたびに、コンピュータのメインメモリ部分は消去および書き換えを行う。コンピュータプログラムの実行中、コンピュータのメインメモリ部分はたえずその消去および書き換えを繰り返す。コンピュータのモニターディスプレイが変わるたびに、ディスプレイメモリ部分で消去および書き換えが繰り返される。

コンピュータのメインメモリおよびディスプレイメ

メモリ素子によって可能となるスイッチング速度およびスイッチングエネルギーの改善の度合いは、ただ自然に増大するものではなく、むしろ以前可能であると思われたものよりも根本的な改善がなされる。

ここに記載したメモリ材料に関する理論が現在検討されているが、観察された特別な電気的スイッチングの挙動をすべて説明する理論はまだ提起されていない。特に、本発明の半導体材料はピコジュールのエネルギーを入力することによりナノ秒の時間において数多くの電気的に検出可能な状態間でスイッチされる。本発明のメモリ材料は、真に不揮発性で、半永久的に（書き込みおよび書き換えの）サイクルを繰り返すことが可能であり、一方で周期的な再生信号(refresh signal)なしにメモリセルによって保存された情報の保全性を維持する。本発明のメモリ材料は、与えられた一組のメモリ素子に保存された情報を変えるために他のメモリ素子に保存された情報を消去（強誘電性および他のフラッシュ記憶装置によって要求されるように）する必要がないように直接重ね書きすることが可能である。

本発明の第1の実施例では、電気的にスイッチ可能で、直接重ね書き可能なマルチビットの単一セルメモリ素子が記載されており、該素子は単一セルメモリを限定するポリウムのメモリ材料を含む。このメモリ

材料は、電気抵抗値のダイナミックレンジが大きいことと、上記単一セルにマルチビット記憶能力が与えられるように選択された電気的入力信号にตอบสนองして上記ダイナミックレンジ内の複数の抵抗値の一つに設定される能力とを特徴とする。離間して配置された一对の接点は、ダイナミックレンジ内において選択された抵抗値に上記メモリ材料を設定するために上記電気的入力信号を供給するために設けられたものである。また、上記材料の事前の抵抗値にかかわらず、上記選択された電気的信号によって、上記ダイナミックレンジのいかなる抵抗値にもメモリ材料の単一セルを設定することが可能である。

本発明の第2の実施例では、直接重ね書き可能で、マルチ準位、単一セルメモリ素子からなる電気的に動作するメモリアレイが記載されている。このアレイは、基板と、該基板上の複数の行と列との間に離間して複数の電気的に活性化された、直接重ね書き可能で、マルチ準位の、単一セルメモリ素子とを含む。メモリ素子の各々は、残余の素子から素子を電気的に分離するためにそれに結合したアイソレーションデバイスを有する。単一セルメモリ素子の各々は、メモリ材料のボリュームによって限定される。メモリ材料は、エネルギー変調可能なフェルミ準位の位置を有するもので、この位置は実質的に光学的バンドギャップを維持する一方で電気抵抗の幅広い範囲にわたって変化するこ

アスな物体を形成する工程と、ダイナミックレンジ内に与えられた導電度の値を得るように、選択された位置へフェルミ準位の位置を変える電気信号を印加する工程と、変えられた選択位置に実質的にあるフェルミ準位の位置を維持する一方で材料へのエネルギーの適用を終了させる工程とを含む。

本発明の第4の好適な実施例では、微細結晶質半導体材料からなる多元素構成物の導電率を変調する方法が開示されており、その構成元素は相互に結合してクリスタリットを限定する格子構造を形成する。上記変調は、組成物を構成する少なくとも一つ元素の原子の存在または不在が一因となる自由電荷濃度を変化させることによって達成される。この方法は、組成物内の構成元素の各々の原子を取り込んだ格子構造によって限定されるクリスタリットのボリュームフラクションが含まれる微結晶質半導体材料組成物を形成する工程と、材料へ電気信号を印加して上記組成物を構成する元素の一つが一因となる電荷キャリアを格子構造へ付加または格子構造から差し引き、それによって上記少なくとも一つの構成元素が一因となる自由電荷濃度に依存した値へ材料の導電度を変える工程と、(a) エネルギーの印加によって決定された自由電荷の濃度および(b) 上記材料へ信号を印加することを終了させた後の材料の電導度の新たな値を維持する工程とを含む。

本発明の第5の実施例では、単一セルメモリを形成

とを特徴とする。材料は、セルにマルチ準位記憶能を付与するために、選択された電気的入力信号にตอบสนองするダイナミックレンジ内の複数の抵抗値の一つに設定され得ることを特徴とする。メモリ素子の各々は、離間して配置された一对の接点をさらに有するもので、該接点によって電気的入力信号が与えられて上記メモリ材料がダイナミックレンジ内にある選択された抵抗値に設定される。接点は、メモリ素子からの読み取りおよびメモリ素子への書き込みを行うための端子として働き、そして上記材料は設定された信号の終了後上記値に設定されたままであることが可能である。アドレス線は、メモリ材料のボリュームと電気的接点を作るようにして設けられ、それによって各個別のメモリ素子の抵抗値を選択的かつ個別的に設定したり、読み取ったりするための手段が与えられる。

本発明の第3の実施例では、Se, Te, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, Oおよびこれらの混合物または合金からなる群から選択される微細晶質半導体材料のフェルミ準位の位置を、それらのバンドエッジに比例して複数の準安定かつ検出可能な位置のいずれか一つの中に変える方法を開示している。材料は、フェルミ準位の位置に相当する実質的に異なる伝導度の大きなダイナミックレンジとレンジ全体にわたって実質的に一定の光学的バンドギャップとによって特徴づけられる。この方法は、カルゴゲナイド合金材料からなるホモジニ

するメモリ材料のボリュームを含み、電気的に操作でき、直接重ね書きでき、マルチレベルの単一セルのメモリ素子が、説明されている。メモリ素子は、間隔をあけて配置された1対の接点(contacts)を有し、接点はメモリ材料の間に配置されている。接点は、記憶された情報を読みとりおよび前記メモリ素子に情報を書き込むための端子を提供する。メモリ素子はまた、前記メモリ材料のボリュームを選択された抵抗値にセットするために前記電気的入力信号を供給する手段を含む。メモリ材料のボリュームは、Te, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, O およびこれらの混合物あるいは合金からなる群から選択される複数の構成元素から構成され、各構成元素はメモリ材料の全体ボリュームの全体に亘って存在する。メモリ材料のボリュームは、当該メモリ材料のボリュームの位置的な組成を変化させる手段を含んでおり、これにより選択された抵抗値からの抵抗値のドリフトを実質的に低減する。このメモリ材料は、電気抵抗値の大きなダイナミックレンジにより特徴付けられる。また、予めメモリ材料がセットされていた抵抗値に関係なく、選択された電気的入力信号にตอบสนองして前記ダイナミックレンジ内の複数の抵抗値の内の1つにセットされ得る能力によって特徴付けられ、これにより前記単一セルがマルチレベルの記憶能力を提供する。メモリ材料は、入力信号がなくなった後も、ドリフトなく前記選択された抵抗値にセットさ

れたままになっている。前記メモリ材料のポリュームの位置的な組成を変化させる上述した手段は、メモリ材料のポリュームを、組成的に傾斜させるか、層状にするか、および傾斜／層状の組み合わせで形成することによって達成され、同様にドリフトによる抵抗値を低減するように、メモリ材料のポリュームを他の方法で組成的に変性することによっても達成される。勿論、これは、バンドギャップを変化させる、格子歪を変化させる、または孤立電子対を含む電子の原子的もしくは電子的動作を変化させる他の方法による手段を適応させることによっても達成できる。

本発明の第6の実施例では、メモリ材料のポリュームを含む、直接重ね書きできる単一セルのメモリ素子が、説明されている。メモリ素子は、間隔をあけて配置された1対の接点を有し、接点はメモリ材料の間に配置されている。接点は、メモリ材料のポリュームに隣接して配置された薄膜シリコン層を含み、これにより記憶された情報を読みとりおよび前記メモリ素子に情報を書き込むための端子を提供する。メモリ素子はまた、前記メモリ材料のポリュームを選択された抵抗値にセットするために前記電気的入力信号を供給する手段を含む。メモリ材料のポリュームは、Se、Te およびこれらの混合物あるいは合金のカルコゲンを含む複数の構成元素から構成される。そしてこれは、少なくとも2つの検出可能な電気的抵抗値を有すること、お

スアレイの一部を示す概略回路ダイアグラムであり；

第5図は、アドレス／ドライバ／デコードが機能的に添付された一体化回路チップと電気的な接続状態に置かれた、第1図および第2図に描かれた本発明の一体型メモリマトリックスを有する単結晶半導体基板を示す概略図であり；

第6図は、本発明の単一メモリセル素子のマルチレベルの記憶能力を示し、素子抵抗が縦座標にプロットされ、かつ、信号パルス電圧が横座標上にプロットされたグラフであり；

第7図は、本発明の新規な半導体材料についてのデータを示す表であって、このデータは、該材料の非晶質の場合と異なる結晶相の場合における電気的かつ光学的特性を比較して採集されたものであり；

第8図は、本発明のメモリ素子が製造される元となるGe:Sb-Teの三元成分相のダイアグラムであって、これらの元素からなる種々の混合物が急速固化時に偏析(segregate)するマルチ相を示すものであり；

第9図は、本発明の改良されたメモリ素子について採集されたサイクルライフデータを示すグラフであって、特にサイクル履歴に関する安定化可能な固定抵抗を示し、電気抵抗が縦座標にプロットされ、固定パルス電圧が横座標にプロットされたものであり；

第10図は、当該系の異方性の構造を示すように

および予めメモリ材料がセットされていた抵抗値に関係なく、選択された電気的入力信号にตอบสนองして検出可能な抵抗値の内の1つにセットされ得る能力によって特徴付けられる。メモリ材料は、入力信号がなくなった後も、ドリフトなく前記選択された抵抗値にセットされたままになっている。

本発明の他の実施例および特長は、他の利益および目的と同様に前に述べられており、以下に述べる本発明の詳細な説明から、特に添付された図面と組み合わせたときに、明らかになるであろう。

図面の簡単な説明

第1図は、本発明の第1の好適な実施例であり、電気的に消去可能で直接重ね書き可能なマルチレベルメモリ構成を描く集積回路の一部を示す断片的な断面図であり；

第2図は、本発明の第2の好適な実施例であり、電気的に消去可能で直接重ね書き可能なマルチレベルメモリ構成を描く集積回路の一部を示す断片的な断面図であり；

第3図は、第1図および第2図の集積回路の構成の一部を示す概略上面図であり；

第4図は、第1図および第2図の集積回路の構成のメモリ素子と組み合わせた分離素子のX-Yマトリック

Ge-Te 二元成分の原子構造と同様に第7図の三つのGe-Sb-Te元合金の原子構造の層を示す模式図であり；

第11a図、第11b図および第11c図は、それぞれ、三次元グラフであって、固定パルス電流(mA)およびパルス立上り時間、パルス立ち下がり時間またはパルス幅(いずれもナノ秒)の一つの関数としてデバイス抵抗(キロオームオーダーの)を示すものであり；

第12a図および第12b図は、それぞれ、メモリ素子の固定抵抗値のドリフトを減少させるために組成的に変成をした場合およびしなかった場合のグラフであって、電気抵抗が縦座標にプロットされ、(メモリ素子を固定してからの)経過時間が横座標にプロットされたものであり；

第13図は、本発明の構造的変成なしに $(\text{Te}_{0.8}\text{Ge}_{0.2}\text{Sb}_{0.2})_{0.0}\text{Ni}_{0.8}\text{Se}_{0.2}$ という公称の化学組成を有するメモリ材料のポリュームを含むメモリ素子で採集されたデータを示すグラフであって、特に縦座標にデバイス抵抗がプロットされているのに対し横座標には書込／消去のサイクル数がプロットされたものであり；

第14図は、本発明の改良された構造を有し $(\text{Te}_{0.8}\text{Ge}_{0.2}\text{Sb}_{0.2})_{0.0}\text{Ni}_{0.8}\text{Se}_{0.2}$ という公称の化学組成を有するメモリ材料のポリュームを含むメモリ素子で採集されたデータを示すグラフであって、特に縦座標に素子

抵抗がプロットされているのに対し横座標には書込／消去のサイクル数がプロットされたものであり；および

第15図は、 $(\text{Te}_{0.6}\text{Ge}_{0.2}\text{Sb}_{0.2})_{0.9}\text{Ni}_{0.1}\text{Se}_{0.9}$ （即ち、変成された材料）という公称の化学組成を有するメモリ材料のボリュームを含むメモリ素子および $\text{Te}_{0.6}\text{Ge}_{0.2}\text{Sb}_{0.2}$ （即ち、標準材料）という公称の化学組成を有するメモリ材料のボリュームを含むメモリ素子で採集されたデータを示すグラフであって、特に待機時間が縦座標にプロットされているのに対し横座標には素子温度（または温度の関数）がプロットされたものである。

発明の詳細な説明

広範囲な分類のカルコゲナイド原料から製造された消去可能な電気メモリは、非晶質状態から結晶質状態へスイッチされる材料のような相変化を許容する材料中のある元素種の移動(movement)により適応される構造変化を採用する。例えば、テルルおよびゲルマニウムから形成される電氣的に切替可能なカルコゲナイド合金、すなわち約80%～85%のテルルと、約15%のゲルマニウムと、それぞれ約1～2%という微量な、硫黄および砒素のような特定の他の元素とからなるようなものの場合、より秩序のあるあるいはより結晶性

本発明者らは、ここに、カルコゲナイド半導体材料の新規な種類を基礎とする、電氣的に消去可能で直接重ね書きできる根本的に異なるタイプのメモリに対して、必要なスイッチ時間および入力されるエネルギーの両者の著しい減少を発見した。さらに、本発明のカルコゲナイド原料は、根本的に新しい物理学を基礎とし、その作用は完全には理解されていないが、与えられた結晶格子構造における安定状態のひろいダイナミックレンジ内において、または異なる結晶状態間の何れかにおいて、非常に低エネルギー入力で非常に高速度なスイッチングを与える。よって、この新規に発見された材料群は、改良された電氣的メモリ素子に用いることができる。これらの新規な材料は、その作用において、その中でバンドギャップが調整されうる半導体材料の狭いバンドギャップ内に、非常に高く、不揮発性で調整可能な(modulatable)濃度の自由電荷を生成する能力を基礎としている。これらの材料は、従来の非晶質および結晶材料とは、クリスタリット(crystallite)がより無秩序な状態と見ることができ、スイッチの導電性に大きく影響する点で異なる。

特に、本発明のメモリ材料は、ピコジュールのエネルギー入力で、ナノ秒時間（最低限のスイッチ速度および最低限必要なエネルギーはまだ確かめられていないが、この出願時点における実験データは、本発明の電

の状態は、典型的には、メモリ材料のスイッチ可能な孔(pore)内に形成される高導電性結晶のTeフィラメントが形成されることに特徴付けられる。このような従来技術にかかる材料の典型的な組成は、例えば、 $\text{Te}_{0.1}\text{Ge}_{0.9}\text{S}_2\text{As}_2$ あるいは $\text{Te}_{0.1}\text{Ge}_{0.9}\text{S}_2\text{Sb}_2$ であろう。Teはその結晶状態では高導電性なので、非常に低抵抗状態が、より秩序のあるあるいは結晶性の状態のTeフィラメントにより達成され、この抵抗は、あまり秩序のないあるいは非晶質状態の孔の抵抗より非常に甚だしく低かった。

しかしながら、結晶状態での導電性Teフィラメントの生成は、非晶質状態の原子配置(atomic configuration)から結晶Teフィラメント状態の新しい局部的に濃縮された原子配置へのTe原子のマイグレーションが要求された。同様に、カルコゲナイドのフィラメント状材料が非晶質状態に戻るとき、結晶性フィラメントとなって析出していたTeは、フィラメント中で局部的に濃縮された形態から非晶質状態の原子配置へ材料内でスイッチされることが要求される。この原子マイグレーション、拡散あるいは非晶質状態および結晶質状態間の再配列(rearrangement)は、それぞれ、マイグレーションに一致する十分な長さの保持あるいは休止(dwell)時間を要求し、それによって比較的高い、必要なスイッチの時間およびエネルギーをつくった。

氣的メモリが1ナノ秒程度の短いプログラミングパルスで変調(modulated)され得る（たとえ楽観視でなくとも）ことを示している）で、抵抗変化が電氣的に検知できる状態間をスイッチし得る。このメモリ材料は不揮発性であり、周期的な再生（リフレッシュ）信号を必要とすることなく、メモリセルによって記憶された情報の完全な状態を（選択された誤差限界内で）保持するであろう。メモリ用途に具体的に挙げた上述した他の多くの半導体材料および装置と比較すると、本発明の半導体材料および装置は直接重ね書き可能であるので、そこに記憶された情報を変えるために個別のメモリ素子が消去される（特定の始点にセットされる）必要はない。いかなる異なる抵抗値へもの、著しく速くかつ低エネルギーのスイッチは、このスイッチがスイッチ材料の全体的な原子の再配列の必要がなく生じるという事実のおかげである。我々の現時点での理解では、メモリ材料は微細結晶質相にあることを示唆することができ、実験的な証拠はまた、微細結晶質半導体材料のクリスタリットサイズと低エネルギー信号の適用により迅速に他の安定状態をとるというその材料の能力との間に多少の一致があることを証明する。

半導体材料の具体的な実施例、とりわけメモリへの使い方に適合させたものが下記に述べられているが、本発明のメモリ素子は、バンドエッジに関連したフェルミ準位位置のシフトにより自由電荷濃度が調整可能

であるという要求を満たす半導体材料のいかなるボディからも組み立てられ得る。特に、新規に発見された一群の半導体材料を電気的メモリに適用した結果、高速で、低エネルギーで、直接重ね書き操作ができる。メモリ材料は複数の構成元素から形成されており、構成元素のそれぞれはメモリ材料の全体ボリューム(entire volume)の全体に亘って存在する。複数の構成元素は、好ましくは、少なくとも1種のカルコゲン元素を含み、少なくとも1種の遷移金属元素を含むであろう。「遷移金属」という言葉は、ここでは、元素番号21~30, 39~48, 57 および72~80の元素を含むものとして使用する。メモリ材料のボリュームを形成する複数の構成元素は、より好ましくは、Te, Se, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, Oおよびこれらの混合物あるいは合金で構成される群から選ばれる元素を含む。より好ましくは、遷移元素はCr, Fe, Niおよびこれらの混合物あるいは合金を含み、カルコゲン元素はTeおよびSeを含む。最も好ましい遷移金属はNiである。このような多元素系の具体的な実施例を、Niおよび/またはSeを含有するあるいは含有しないTe:Ge:Sb系に関して、以下に示す。

当業者によく知られているように、カルコゲナイド半導体材料は、他の半導体のように、伝導帯と価電子帯とを分離している禁制エネルギー帯あるいはバンドギャップによって特徴付けられる(カルコゲナイド

してマルチレベルデータの記憶操作に用いると、入力信号によりフェルミ準位位置を中央ギャップ(midgap)位置から価電子帯端まで、さらには価電子帯内に深く入ったところまで移動することができることを証明していることが注目されなければならない。事実のところ、ダイナミックレンジは価電子体内に存在するであろう。

非結晶質(noncrystalline)固体を結晶質に対応するもの(counterparts)と区別する根本的な規則は、非結晶質相の構成元素が結合オプションを持っていることである。これは、非結晶質固体の必須条件である。この結果は、結晶対称が格子を規定し、同様にこの格子が化学結合の選択を制限するという事実に基づく。非結晶質固体が所有する性質の全て；その凝集エネルギー、その結晶化に対する抵抗、その光学的バンドギャップ、そのモビリティギャップ、その電子状態の密度などは、3つの要素；そのショートレンジの結合関係、変化された位相形状(varied topological configurations) およびその総合的な相互作用環境(total interactive environment)によって決まる。けれども、非結晶質材料は、種々の局所的な秩序(order) および環境を提供する、多くの異なるタイプの元素からなる非平衡配置の非化学量論的合金であり得る。本発明の半導体材料の大きなボリュームフラクションを形成するクリスタリットは、非常に小さく、

ド半導体材料のモビリティギャップを説明している“Cohen, Fritzsche, Ovshinsky model”参照)。フェルミ準位位置、すなわちその位置でのエネルギーレベルの存在確率が50%であるエネルギーは、ある程度半導体材料の電気的伝導性を決定し、さらにそれがバンドギャップ内の実質的に異なる位置に移動すると伝導度の大きなダイナミックレンジが可能となる。しかしながら、以前に仮説として取りあげられた理論は、フェルミ準位の位置を変化させるのに必要なエネルギー要求が非常に低く、これによってメモリ素子を与えられた抵抗値にセットされることを説明することができない。また、その理論は、以下に図示するような結果のタイプ、特に、一方向(高抵抗値からより低抵抗値へ)のみにおける操作を要求する上述した初期の「開始状態(starting state)」へ戻ることなく、両方向(逆方向(visa versa)は勿論、与えられた電気信号の入力により低い方の抵抗から高い方の抵抗へも)において中間抵抗値を移動することができる顕著な能力についても説明することはできない。これが、我々が本発明の半導体材料が真に直接重ね書き可能であるという理由である。これが達成される方法の説明に関係なく、本発明は、単一メモリ素子ではいまままで得られなかった価値の高い電気的スイッチ特性の結合(combination)を提供する。実験結果は、今まで調査されたカルコゲナイド組成物が正孔伝導を使用し、そ

多くの範囲で500 オングストロームというオーダ(実施例の場合であるが)である。これらのクリスタリットは、構造的に無秩序な材料からなり原子単層が数層積層された厚さのスキン(skin)あるいは表面部(surface region)によって包囲されている。したがって、非結晶モデルあるいはショートレンジの局所的秩序によって特徴付けられるモデルは少なくとも、表面部における分子および原子の相互作用を予言することを試みるのに用いると最も好ましいであろう。それによって結び付けられないように、そのような説明的なモデルを次の段落に述べる。

メモリデバイスを構成するのに用いられる特定の半導体合金は、特に「孤立対」電子(孤立電子対)が存在することに注目されるカルコゲナイド元素を含む。したがって、利用できる化学結合配置にあるこれらの孤立電子対の効果について議論する必要がある。単純に言えば、孤立電子対は、原子の原子価殻内の電子対で典型的には結合に供されていないものである。このような孤立電子対は構造的および化学的の両方で重要である。これらは、他の孤立電子対は勿論、近隣の結合配置に供されている電子対に対して強い反発力をはたらかせることにより、分子形状および結晶格子に影響を与える。孤立原子対は第2の原子核によって結合部に縛って抑え付けておくことができないので、これらは低エネルギー電子遷移

(transitions) に影響を与え、寄与することができる。Ovshinsky によって最初に指摘されたときには孤立電子対は 1 および 3 の中央結合 (center bonding) を有することができ; Kastner, Adler および Fritsche によって証明されたときには、それらは原子価交換対 (valance alternation pairs) を有している。

特に、ここで説明するテルル合金は、孤立対状態で作られている価電子帯を有している。Te には 4p 殻電子が存在するが、Te 原子はこれらの p 殻の結合電子の内の 2 つが化学的に結合して他の外側の 2 つの電子 (孤立電子対) は結合の目的に使用されていない。それ故、Te の系の原子エネルギーは実質的に変化しない。これに関して、最も満たされた分子軌道は孤立電子対が含まれている軌道であることに注目してほしい。このことは重要である。というのは、テルルおよびゲルマニウム原子の完全な化学量論的結晶においては、それにより結晶が生成される、格子内のいくらかの内部歪の適用により、価電子帯は広がり、そのとき存在しているフェルミ準位の位置に向かって移動する。しかしながら、TeGe 結晶は自然に「自己補償 (self-compensated)」、すなわち結晶が Te リッチ組成 (52% Te および 48% Ge) を優先的にとることを望む。化学量論的結晶は面心立方である; しかしながら、最小量のエネルギーを加えると、Ge および / または Sb の空孔の数が増えることにより菱面体格子構造をとり得

る。TeGe 合金の格子歪を減少することができる結晶格子構造中の空孔の形成が材料のエネルギー状態の減少の原因であり、フェルミ準位を価電子帯に向かって移動させる。

菱面体格子構造に安定な中間抵抗値が存在することを証明するためだけではあるけれども、系は、結晶粒サイズが非常に小さく、表面スキンが非常に重要な役割を果たしているであろう微細結晶質である。したがって、説明を得る目的で局部秩序の非晶質モデルをショートレンジ局部秩序モデルの上に本質的に重ねるのでなく、原子挙動の真相を完全に予測するのではなく、上記系は受け入れられるものである。材料の非晶質性を考える場合、バンドテール (band tail) における欠陥状態の密度はバンドエッジ近傍が最も大きく、一方、捕獲された電荷キャリアのための再結合中心の深さがバンドエッジからさらに遠くに離れて深くなることに注目して欲しい。これらの深いトラップおよびテール状態の存在は、フェルミ準位位置とバンドエッジとの間の中間の安定な抵抗値を説明する可能性を提供するであろう。理論に関係なく、本発明の半導体材料は、金属様 (metallic-like) 伝導を示す縮退した半導体である。

半導体およびメモリ材料のバルク内に存在するクリスタリットサイズは比較的小さく、好ましくは約 2000 Å より小さく、より好ましくは約 50 Å ~ 約 500 Å の間にあり、最も好ましくは約 200 Å ~ 約 400 Å 程度である。さらに、これらのクリスタリットは、非晶質スキンによって包囲されていると信じられている。非晶質スキンは、材料が確実にかつ繰り返し可能にセットできる、検出可能な抵抗値間の遷移 (transitions) のためのエネルギー要求を低下することのみならず、異なる抵抗 (伝導度) として検出できる多くのフェルミ準位位置の迅速な形成にも貢献するであろう。

本発明の他の態様によると、本発明の微細結晶質材料で構成される 2 または 3 端子の半導体装置のスイッチ特性の調整は、繰り返し可能かつ検出可能な抵抗値が影響されるように制御されるであろうということが発見された。本発明の材料が、低エネルギーの入力信号で所望の伝導度 (フェルミ準位位置で決定される) に迅速にセットされるためには、上記材料が少なくとも 2 つの異なるフェルミ準位位置 (フェルミ準位位置は、電気的伝導度が異なることを除けば実質的に一定のバンドギャップで特徴付けられる) を伴って安定に (長く存続する準安定に) 存在できることが必要であることが発見された。

上述したように、比較的小さいクリスタリットサイズは、検出可能な抵抗値間を迅速に遷移すること

に貢献するであろうことも信じられている。ここで、微細構造は原子レベルに容易に調整され得るので、微細結晶質格子構造は、これらの抵抗値間をより迅速に切り替えることが前提となっている。例えば、迅速なスイッチの原因となる孤立電子対が Ge または Sb 原子と結合するとき、増加した電気的伝導度を提供するための電気パルスによって孤立電子対が破壊されてはならない。

本発明の半導体材料の半導体材料の 1 つの特性は、単位体積当たりより多くのかつより小さいクリスタリットが生成される傾向があることである。クリスタリットサイズは、本発明を具体化する代表的材料の最も広い選択的な範囲は約 2000 Å よりかなり小さく、一般的には従来の材料の特性である約 2000 ~ 5000 Å の範囲より小さいということが発見された。クリスタリットのサイズは、ここではクリスタリットの直径、またはクリスタリットが球形な形状でない場合の直径に相当する「特性次元 (characteristic dimension)」の直径として定義されている。

本発明の基準に一致する TeGeSb 材料の種類の高抵抗状態の組成物は、一般的に、従来の電気的に消去可能なメモリ材料に存在する量と比較して Te の濃度が実質的に減少していることによって特徴付けられることが決定された。実質的に改善された電気的スイッチ実行特性を示すある組成物では、堆積されたままの材料中

図のさらに詳細な説明は、以下に示される。

第1表
TeGeSb系の観察された3元結晶

指示	Geの%	Sbの%	Teの%
A	40	10	50
B	26	18	56
C	18	26	56
D	14	29	57
E	8	35	56

本発明の新規なメモリ素子は、メモリ材料のポリュームを含み、このメモリ材料は好ましくは少なくとも1つのカルコゲンを含み、かつ1つ以上の遷移金属を含み得る。遷移金属を含むメモリ材料は3元Te-Ge-Sb系の我々のメモリ材料の元素的に変性した(elementally modified)形態である。すなわち、元素的に変更したメモリ材料は、Te-Ge-Sbメモリ合金の変性された形態である。この元素的変性は、基本的なTe-Ge-Sb3元系の中に遷移金属を、Seなどの付加的なカルコゲン元素を伴ってまたは伴わないで、混合することによって達成される。一般的に、元素的に変性されたメモリ材料は、2つのカテゴリに分類される。

第1はTe, Ge, Sbおよび遷移金属を含み、これらの比は、 $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{TM}_c$ である。ここで、

$(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Cr}_c\text{Fe}_c\text{Se}_c$ などを含むであろう。

本願発明のメモリ素子は、セットされた抵抗値を実質的に不揮発性に保持する。しかしながら、もしこのメモリ素子の抵抗値が何らかの環境によって元のセットされた値からドリフトされた場合、このドリフトを除去するために、以下に述べる「組成変性(compositional modification)」が用いられるであろう。ここで用いる「不揮発性」という言葉は、記録保管寿命期間(archival time periods)の間セットされた抵抗値が実質的に一定のままである状態をいう。勿論、ソフトウェア(以下に述べるフィードバック系を含む)は、選択された誤差限界を越える「ドリフト」が絶対に生じないことを保証するために用いることができる。メモリ素子の抵抗値のドリフトが、もし妨げないままにしていれば、情報のグレースケール記憶を邪魔するので、ドリフトは最低限にするのが望ましい。

「組成変性」は、ここでは、材料固有の抵抗を増加するためにバンドギャップを広げる元素の添加を含み、実質的に安定な抵抗値をもたらすために、メモリ材料のポリュームを組成的に変性するいかなる手段をも含む。組成変性の1つの例は、厚みに関して同質でない様に傾斜させた組成を含ませることである。例えば、メモリ材料のポリュームは、第1のTe-Ge-Sb合金から第2の組成が異なるTe-Ge-Sb合金まで傾斜するで

のTeの平均濃度は、70%より十分小さく、典型的には約60%より小さく、一般的には小さくは約23%から約58%まであり、最も好ましくは約48%から58%までであった。Geの濃度は、約5%より大きく、材料の平均では約8%から約40%の範囲にあり、一般的には50%より小さい値にとどまっていた。この組成物中の主な構成成分の残りは、Sbである。与えられたパーセンテージは、原子パーセンテージであり、構成成分の原子がトータルで100%となる。したがって、この組成物は、 $\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b}$ で示されるであろう。これらの3元Te-Ge-Sb合金は、特に優れた電氣的伝導性を有する付加的はメモリ材料の開発の出発材料として有益である。

Te:Ge:Sb系の3元ダイアグラムを第8図に示す。Te, Ge およびSbの種々の混合物から溶融物が調製され、この溶融物は迅速な凝固により多相中に偏析された。これらの迅速に凝固された溶融物の分析は、10の異なる相(迅速に凝固された溶融物のうちのどれにも全てが存在しない)の存在を示した。これらの相は、元素のGe, Te およびSb、2元化合物のGeTeおよび Sb_2Te_3 、ならびに5つの異なる3元相である。全ての3元相の元素組成は、疑似2元のGeTe-Sb₂Te₃系列上にあり、第8図に示す3元ダイアグラムの参照文字A, B, C, DおよびEで示される。これらの5つの3元相中の元素の原子比は、第1表に示される。第8

添え字は構成元素の原子%を示し、トータルで100となる。TMは1以上の遷移金属であり、aおよびbは基本的な3元Te-Ge-Sb系について上述したものであり、cは約90から約99.5%の間にある。遷移金属は好ましくはCr, Fe, Niおよびこれらの混合物もしくは合金を含み得る。この系に包含されるメモリ材料の具体例は、 $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Ni}_c$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Ni}_{10}$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Cr}_c$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Cr}_{10}$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Fe}_c$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Fe}_{10}$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Ni}_c\text{Cr}_c$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Ni}_c\text{Fe}_c$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Cr}_c\text{Fe}_c$ などを含むであろう。

第2はTe, Ge, Sb, Se および遷移金属を含み、これらの比は $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{TM}_c\text{Se}_{1-d}$ である。ここで、添え字は構成元素の原子%を示し、トータルで100%となる。TMは1以上の遷移金属であり、aおよびbは基本的な3元Te-Ge-Sb系について上述したものであり、cは約80から約99%の間にあり、dは約0.5から10%の間にある。遷移金属は好ましくはCr, Fe, Niおよびこれらの混合物もしくは合金を含み得る。この系に包含されるメモリ材料の具体例は、 $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Ni}_c\text{Se}_d$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Ni}_{10}\text{Se}_{10}$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Cr}_c\text{Se}_d$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Cr}_{10}\text{Se}_{10}$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Fe}_c\text{Se}_d$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Fe}_{10}\text{Se}_{10}$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Ni}_c\text{Cr}_c\text{Se}_d$, $(\text{Te}_{1-a}\text{Ge}_a\text{Sb}_{1-a-b})_{1-c}\text{Ni}_c\text{Fe}_c\text{Se}_{10}$ 。

あろう。組成傾斜は、セットされた抵抗値のドリフトを減少するあらゆる形態に採用されるであろう。例えば、組成傾斜は、第1および第2の合金が同一の合金系であることに限定される必要はない。また、傾斜は、2つ以上の合金で達成され得る。傾斜は、一様で連続的でも、または一様でなく非連続的でもよい。抵抗値ドリフトを低減する結果となる傾斜組成の具体例は、表面の $\text{Ge}_{1.4}\text{Sb}_{2.6}\text{Te}_{1.7}$ から反対側表面の $\text{Ge}_{2.2}\text{Sb}_{2.2}\text{Te}_{1.0}$ への一様で連続的な傾斜を含む。

抵抗ドリフトを低減するために取りうる組成変性の他の態様は、メモリ材料のポリュームを層状にすることによる。すなわち、メモリ材料のポリュームが、複数の、分離した、比較的薄い異なる組成の層で形成されるであろう。例えば、メモリ材料のポリュームは、1つ以上の対の層を含み、そのそれぞれが異なるTe-Ge-Sb合金で形成されているであろう。また、傾斜組成の場合と同様に、抵抗値ドリフトを実質的に低減する結果となる層の組み合わせであればいかなるものも採用し得る。層は、同じ程度の厚さでもよいし、異なる厚さでもよいであろう。層の数はいくつでもよく、同一の合金の複数の層も、隣接してあるいは互いに離れてメモリ材料のポリューム中に存在してもよい。また、いかなる数の異なる合金組成物も用いられるであろう。組成層状化の具体例は、 $\text{Ge}_{1.4}\text{Sb}_{2.6}\text{Te}_{1.7}$ および $\text{Ge}_{2.2}\text{Sb}_{2.2}\text{Te}_{1.0}$ の交互の対の層を含むメモリ材料

のポリュームである。

抵抗変化を減少させる組成的不均一性のさらに他の形態は組成的な傾斜と組成的な層化との組み合わせによって得られる。特に、前述した組成的な傾斜は記憶材料の安定なポリュームを形成するために上述した組成的な層化のいずれとも組み合わせ得る。例えばこの組み合わせを採用したメモリ材料のポリュームは：(1) $\text{Ge}_{2.2}\text{Sb}_{2.2}\text{Te}_{1.0}$ の個別の層とそれに続く $\text{Ge}_{1.4}\text{Sb}_{2.6}\text{Te}_{1.7}$ および $\text{Ge}_{2.2}\text{Sb}_{2.2}\text{Te}_{1.0}$ の傾斜した組成を含むメモリ材料のポリュームおよび(2) $\text{Ge}_{1.4}\text{Sb}_{2.6}\text{Te}_{1.7}$ の個別の層と $\text{Ge}_{1.4}\text{Sb}_{2.6}\text{Te}_{1.7}$ および $\text{Ge}_{2.2}\text{Sb}_{2.2}\text{Te}_{1.0}$ の傾斜した組成を含むメモリ材料のポリューム、である。

さて第1図を参照すると、p-型にドーブされ図示された他の要素の堆積のためのp-基板である単結晶シリコン半導体ウェハ10上に形成された本発明の電氣的に消去可能なメモリー構造の一部の断面図が示されている。p-基板10にn⁺チャネルが形成されており、それはこの分野で公知の方法で拡散ドーブされ得る。これらn⁺チャネル12は紙面に垂直な方向にチップを横切って延在し電極の一組み、この場合には個々のメモリ素子をアドレスするためのx-y電極格子のyの組み、を形成している。

このn⁺格子構造の上に厚さ約5,000 Åのn-ドーブ結晶エピタキシャル層14が形成されている。既知のマスクングおよびドーピング技術を用いてp-ドーブアイソ

レーションチャネル16がn-エピタキシャル層14に形成されている。これらp-ドーブアイソレーションチャネル16は第1図に示すようにp-基板10までずっと下方に延び、そしてまたn-エピタキシャル層14を完全に囲んで延びてn-エピタキシャル層14の島18をアイソレートしかつ規定している。島18は第2図の上面図により明瞭に示されておりそこではp-アイソレーションチャネルはn-エピタキシャル材料の島18を規定しかつアイソレートするアイソレーション格子を形成するように示されている。p-ドーブアイソレーションチャネルのかわりに、 SiO_2 アイソレーション溝を島18のアイソレーションのために用いることもできる。かかる SiO_2 アイソレーション溝の形成技術は当業者によく知られている。ついで熱的に成長した SiO_2 の層20が上述した構造の上に形成されそしてエッチされて島18上に開口22を形成する。次いで第1図に示すように開口22によって規定される範囲内にp⁺材料の拡散領域24が形成される。p-領域とn-エピタキシャル層からなる半導体接合は SiO_2 層20の開口22を通して露出されたn-エピタキシャル層のそれぞれと直列なp-nジャンクションダイオード26を規定する。

次にメモリ素子30がダイオード26と個別に直列にオーミックコンタクトするようにp⁺領域24上に堆積される。メモリ素子30は高耐蝕性金属（例えばモリブデンなど）の底部の電氣的接触層32を含んでいる。以前

に、オポニックEEPROMにおいて、非晶質カーボンの単一層が拡散障壁層34および38として用いられた；しかしながら、本発明の構造的に変成されたメモリ素子においてはこれらの非晶質カーボンは変形され或は除かれる。変形された構造は非晶質カーボンの単一層に代る単一の非晶質シリコン層かまたは非晶質カーボン層とメモリ材料36の層との間に配置された薄いシリコン層を含んでいる。耐蝕材料40の薄い上部電氣接触層はモリブデンで作られ導電性の拡散障壁層38は非晶質カーボン、非晶質シリコンまたは非晶質カーボン／非晶質シリコンの2重構造である。接触層32, 34, 38および40はメモリ材料36の層と優れた電氣的接触を形成しまた層34および38はモリブデン金属および／またはカルコゲナイド記憶材料36のポリュームと接触する選択的な外部接触格子材料の拡散を妨げる拡散障壁を形成する。層34および38の非晶質シリコンは、非晶質カーボンと組み合わせて用いられるときは比較的薄く、典型的には50から600 Å、特に100 から400 Åの範囲である。層34および38として単独に用いられるときには、非晶質シリコン層はその電氣抵抗に依存して約400と2000 Åの間である。モリブデン層は比較的厚く、約1000から2000 Åの範囲内である。

メモリ材料36は多元半導体材料、例えばここで開示されるカルコゲナイド材料で作られている。層36は例

第 3 表
蒸着堆積パラメータ

パラメータ	典型的な範囲
基礎圧力	$1 \times 10^{-7} - 5 \times 10^{-8}$ Torr
蒸着温度	室温 - 300 °C
堆積速度	0.5 - 3.5 Å/sec
堆積時間	3 - 20min
膜厚	750 - 1250 Å
基板温度	室温 - 300 °C

第 3 表に示したパラメータに従って堆積された薄膜の解析によって得られた実験データはfcc 相に対するフェルミ準位の位置が価電子帯の近くに移動することを示している（すなわち、fcc 相は活性化エネルギー 0eV の半金属として挙動する）。「堆積のままの」蒸着膜は非晶質でありfcc 格子構造を得るために引き続いてアニールされることに注意されたい。これと対照的に六方結晶構造（それは付加的な電気パルスを入力を通して得られる）に対するフェルミ準位の位置は実際に価電子帯の中に移動した（すなわち、その位置は「縮退した半導体」または金属的な挙動を示す）。スパッタリングによって堆積された薄膜と蒸着によって堆積された薄膜の間に存在するスイッチング動作の差の理由は完全には分かってはいない。実験的事実はス

第 2 表
RFスパッタリング堆積パラメータ

パラメータ	典型的な範囲
基礎圧力	$8 \times 10^{-7} - 1 \times 10^{-8}$ Torr
スパッタリングガス (Ar) 圧力	4 - 8 mTorr
スパッタリングパワー	40 - 60 watts
周波数	13 - 14 MHz
堆積速度	0.5 - 1 Å/sec
堆積時間	20 - 25min
膜厚	750 - 1250 Å
基板温度	室温 - 300 °C

パッタされた膜中の酸素の存在に由来する不純物がフェルミ準位の位置の差の原因であることを示しているようである。しかしながら、酸素がカソードターゲット材料の中に存在したことは注目に値することである。その存在は後に分析的に発見された。加熱された基板上に堆積された蒸着膜が異方的な成長特性を示し（第 10 区の記述を見よ）カルコゲナイド元素の配向層が連続的に堆積することに注目することもまた重要である。このことは電気的应用に対して有意義であるということが未だ確認されていないとしても、このタイプの膜は熱電気への応用（これらの組成物のすでに測定された高い熱電能、すなわちビスマス系の測定値の 4 倍、による）、または特定の半導体および超伝導への応用の展望を持っている。

メモリ材料 36 の層は好ましくは約 200 Å から 5000 Å の厚さ、より好ましくは約 400 Å から 2500 Å、最も好ましくは約 250 Å から 1250 Å の厚さに堆積される。半導体材料 36 の孔の横方向の寸法または直径は実際上の制限はないが、1 から 2 マイクロメートルより小さいかまたはその程度である。高導電材料の実際の導電路の直径はマイクロメートルより小さく定められてきている。こうして孔の直径はリソグラフィの解像度の制限が許すだけ小さく、事実、孔が小さければ小さいほど電気的なスイッチングに必要なエネルギーは小さい。

本発明の好適な実施例において、孔の直径は材料が低抵抗状態にスイッチされるときに形成される低抵抗路の直径と実質的に一致するように選ばれる。メモリ材料 36 の孔の直径は、したがってメモリ材料 36 のボリュームがリソグラフで可能な大きさに、抵抗のいろいろな状態の間でスイッチされる材料 36 のボリュームに、限定されるように好ましくは 1 マイクロメートルより小さい。このことはさらにスイッチング時間および抵抗の検出可能な変化を開始させるのに要求されるエネルギーを減少させる。ここで使われる「孔の直径」と言う語は第 1 図に示すようにメモリ材料 36 および下部 p 層と上部導電体 42 とともに形成された接触領域の下に延在するメモリ材料 36 の横方向の断面寸法を意味する。メモリ素子の孔の領域はメモリ素子の適当な動作のために必要な上部および下部電極と電気的な接触を除いて熱的にアイソレートおよび／または制御されることがさらに好ましい。これはさらに孔のスイッチされたボリュームからの熱の移動と抵抗の遷移のために要求される電気的なエネルギーを限定し、制限し、かつ制御する。このことは第 1 図の実施例においてメモリ素子 30 の横方向の周囲を囲む酸化物層 20 および 39 によって成し遂げられる。従って、エネルギー／電流／電圧を最小にするために、孔は 250 Å という小さな直径が採用され得る。

層 32, 34, 36, 38 および 40 がエッチされ酸化物層 39 が

その上に形成されエッチされて図示するように開口がメモリ素子30上に残される。他の方法では、メモリ素子は層32および34を最初に堆積しエッチしその上に残りの層36, 38 および40を堆積し次いで個別にエッチして選ばれた寸法にする2工程で作られてもよい。層32, 34, 36, 38 および40によって形成される全体構造の上にアルミニウム導電体42で作られた第2の格子構造が堆積される。導電体42は導電体12と直角の方向に延在し個々のメモリ素子へのx-y格子接続を完成する。Si₃N₄またはポリアミドなどのプラスチックなどの適当な封止剤でできた頂部封止層44が全体の集積構造を覆っている。封止層は性能の低下および劣化を起こし得る湿気および他の外部要素に対して構造を密封する。Si₃N₄封止剤は、例えば、低温プラズマ堆積法を用いて堆積することができる。ポリアミド材料は公知の方法によってスピン堆積および堆積後にベーキングして封止層44を形成することができる。

CMOS技術は必要な半導体装置をバルクの単結晶半導体ウェハ内に作るので、従って、デバイスの単一の層を作るのにのみ使用できるので、通常のCMOS技術をこのタイプの3次元の記憶アレイを作るのに使うことはできないと言うことに注目することは重要である。さらに、(1) CMOSは充分に小さいフットプリントを作って費用上効果的に大きなアレイを作ることはできない、また(2) CMOSデバイスは、それ等が単一の面内に

存在するので、Z方向に沿って相互接続することはできない。従って、CMOSデバイスは進歩した並列処理コンピュータに必要な、複雑な、3次元の相互接続で作ることはできない。一方、本発明の3次元、薄膜メモリアレイ構造には通常の直列情報処理と並列情報処理の双方の能力がある。並列処理、従って多次元メモリアレイはパターン認識、分類または連想学習などの複雑な仕事を迅速に行うことが要求される。並列処理のさらなる使用および記述は、1990年10月5日に出願され本出願の譲受人に譲渡され、かつその開示が参照として本出願に組み込まれている米国特許出願番号594,387に公開されている。第1図の実施例に示す集積構造では、しかしながら、メモリ素子とその分離(アイソレーティング)ダイオードの完全に縦の集積構造が形成され、こうして基板上でメモリ素子とダイオードの各組み合わせによって占められる面積を最小にしている。このことはチップ内におけるメモリ素子の密度は本質的にリソグラフィーの解像能力のみによって制限されることを意味する。

第2図の実施例はダイオード27がショットキバリアとしてn層14と金属層29、例えば白金シリサイドであってもよい、との間に機能的に配設されているのを除いて第1図と同じである。その他の点については、第2図に示したメモリセル/分離素子の構造例は第1図で示したと同じ方法で作られ同じ要素には同じ参照

数字が付けられている。

こうして形成された集積回路は第3図に示すように接続されたx-yメモリマトリックスであり、その中で各メモリ素子30は水平x-線42と垂直y-線12の間でダイオード26と直列に接続されている。ダイオード26は各メモリ素子30を電気的に分離するのに役だっている。本発明の電気的に消去可能なメモリの他の回路構成は、勿論、可能であり実施できる。一つの特に有用な構成は3次元の、多水準アレイであり、その中でメモリまたは制御素子およびそれ等それぞれの分離デバイスの複数の面が互いに積層されている。メモリ素子の各面は複数の行と列として配列され、それによってx-yアドレッシングを可能にしている。面のこの積層はメモリ蓄積密度の増加に加えて、付加的なZ次元の接続を可能にする。この配列は真に知的なコンピュータのニューラルネットワークをシミュレートするのに特に有用である。

第4図は第1図のメモリセルの実施例の一部の模式的な回路図である。回路は図示されるようにxアドレス線とyアドレス線の間で分離ダイオード26と電気的に直列に接続されているメモリ素子30のそれぞれのx-y格子を含んでいる。アドレス線12および42は当業者によく知られた方法で外部のアドレス回路に接続されている。メモリ素子を分離素子と組み合わせたx-yマトリックスの目的はメモリ素子のそれぞれがマトリッ

クスの近接したまたは離れたメモリ素子に蓄積された情報との干渉なしに読み出されかつ書き込まれることを可能にすることである。

第5図に、その上に形成された本発明によるメモリマトリックス51を有する単結晶半導体基板50が図式的に示されている。同じ基板50上には集積回路コネクタ53によってメモリマトリックス51に適当に接続されたアドレッシングマトリックス52が同様に形成されている。アドレッシングマトリックス52はメモリマトリックス51に印加されるセッティングおよびリーディングパルスを規定しかつ制御する信号発生手段を備えている。もちろん、アドレッシングマトリックス52は固体メモリマトリックス51と集積され同時に形成されることもできる。

多くの応用が望まれていると思われる比較的速いスイッチング速度および低いスイッチングエネルギーをもつ従来の半導体メモリは少なくとも1個のトランジスタと1個のキャパシタが各メモリ素子に対して必要である。かかる集積回路形態のメモリの形成は集積回路がいかに関係なくレイアウトされているかに関係なくある最小限の基板面積を占有する他の付加的な複雑なものとともに少なくとも3個の接続を必要とする。本発明の電気的に消去可能なメモリの集積回路構成は各記憶素子に対して2個の接続のみを必要としそれは相互の垂直の関係で作ることができる。さらに、各メモリ素

子は、分離ダイオードおよび素子に対する接点の対を完備して、それ自身著しく高いビット密度が可能のように十分に垂直に集積課化される。実際に、本発明のメモリは、揮発し従って本発明で達成される不揮発性の利点に欠ける固体ダイナミックランダムアクセスメモリ(DRAMs)において到達されるより大きなビット密度を提供し、本発明で到達できるビット密度の増加は集積回路構成のビット当りに占有されるウエハの面積が小さいためにそれに応じて製造費用の減少に転化する。このことは本発明のメモリが電気的な性能およびメモリ蓄積能力の見地からだけでなく価格の面からも広い応用範囲に対して他の入手可能なメモリを完成しかつ超えることを可能にする。各ビット当たり少なくとも1個のトランジスタと1個のキャパシタで形成される従来技術の半導体メモリとの比較により、本発明の集積回路構成は、第1図に示すように、同じフォトリソグラフィの分解能を用いる従来の構成とと比較して1チップ上に高いビット密度で形成することができる。より高いビット密度が与える価格上の利点に加えて素子が互いに近接して位置しかつリードの長さ、容量、および他の関連するパラメータがさらに最小にされ、それによって性能が強調される。

本発明の新規な半導体材料の利用によって、フェルミ準位の位置の変化および対応する電気伝導度の変化

形態では安定な室温相は六方晶相であるが、高温ではそれは面心立方晶相に変化すると信じられている。アニールされたとき、この非晶質状態の膜は約200℃の温度で最初に面心立方晶相に結晶化する；しかしより高温のアニーリングでそれは六方晶相に変化する。この構造の転移は膜の個別の組成に依存するある温度で起きる。非晶質および結晶質のGe-Sb-Teの薄膜の電気的な性質は特徴づけられている。非晶質状態では、光吸収測定による光学的バンドギャップは0から35原子%までSbの組成に鈍感で約0.7eVと測定されている。材料の電気的な活性化エネルギーは非晶質GeTeにおける約0.4eVから $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ における約0.3eVまで僅かに減少する。

アニーリングに際して、非晶質膜は、組成に関係なく、面心立方晶相に結晶化する。これらの膜の電気伝導度は非晶質相における約 $10^{-2}(\text{ohm-cm})^{-1}$ から面心立方結晶相における約 $1(\text{ohm-cm})^{-1}$ に増加する。この転移は約180℃で起きる。この面心立方格子に対するフェルミ準位の位置は約0.18eVであり測定された光学的バンドギャップ約0.4eVのほぼ半分である。約180から約300℃の範囲のさらなるアニーリングは材料の電気伝導度および光伝達のいずれをも変化させない。1から50ミクロンの範囲で測定された赤外吸収は無視できるものであり、それは面心立方構造の中の自由な荷電キャリアの濃度が比較的低いことを示している。

をもたらすのに必要なエネルギーが1桁まで減少される。さらに、本発明によって必要であると考えられるピコジュールのエネルギーでさえ電気パルスの継続時間を減少することによってさらに低くできることが今や信じられている。加えて、材料の厚さの減少はメモリ素子を所定の抵抗値にセットするのに必要なパルスエネルギーをさらに減少することができるだろう。

以下の詳細な説明の節は開示された発見の範囲の理解が進むように説明することを意図したものである。融液から成長した結晶性GeTeは室温で菱面体的に至んだ(90° NaCl(すなわち面心立方)の代りに 88.2°)構造を持っている。この構造は400℃以上で面心立方構造に変化する。菱面体的な歪みの起源および特にそのような歪みと高導電性p型GeTeのGe空孔の濃度の関係は未だ明らかでない。この菱面体的に至んだ結晶状態において、GeTeは金属的な伝導度($\approx 10^3 - 10^4$) $(\text{ohm-cm})^{-1}$ を示す。この薄膜形態において、GeTeは非晶質相で成長されることができそして約200℃で、面心立方構造に結晶化する。膜の微細結晶構造のためにこの準安定な面心立方相は室温で安定である。しかしながら、400℃以上のアニール温度で、Sb含有量に依存して面心立方構造は安定な六方晶または菱面体構造に変化する。

3元Ge-Sb-Te系において、GeTe中のGeのSbへの置換は純粋のGeTe結晶と同様の性質をもたらす。バルクの

350℃での熱アニーリングは六方結晶格子構造へのさらなる相転移をもたらす。格子のこの状態では電気伝導度は約 $100(\text{ohm-cm})^{-1}$ にさらに増加し、既知の関係 $\alpha = A\lambda^{-2}$ に従う強い自由キャリアの吸収が現われる、ここで α は吸収係数、 λ は入射光線の波長、 A は自由キャリアの数に比例する定数である。我々の測定によれば、材料の光学的バンドギャップは面心立方から六方晶状態への相転移が起きた後で著しくは変化しない。しかし、反射率の強い増加(=25%)が測定された。

この発明の新規な記憶素子を循環させるために、その最初の使用に先立って材料に比較的高いレベルのエネルギーを印加して材料を最初の結晶状態に転換させる処理が必要である。この結晶状態のフェルミ準位の位置は、上に報告した面心立方構造のフェルミ準位の位置と同じ約0.18eV程度であり、材料が非晶質から面心立方結晶格子構造に相変態を起こしていると言う結論を与えている。また、付加的な、より少ない量のエネルギーの印加によりフェルミ準位の位置は低下し、これは上述した六方結晶格子相へのさらなる結晶相変態が起きたことを示している。こうして、本発明の微細結晶質半導体材料のクリスタリットの、異なるフェルミ準位の位置の範囲へのおよびそれを通しての、安定な変性がこの材料の結晶粒の結晶格子構造を変化および循環することによって成し遂げられることが確認され

た。

この微細結晶半導体材料によって示された電気抵抗の可逆的な変化は材料の一つの結晶相内で少なくとも与えられる。この電気抵抗値の約2桁の変化は、バルク材料について実験室で測定されたように、本発明の電気的メモリ素子の抵抗のダイナミックレンジの差に密接に対応する。

材料を面心立方状態の様なある結晶質状態から異なる抵抗の状態へ転換させるために、より短く、より強いエネルギーの電気パルスを採用することが必要である。たとえば、30ナノ秒のパルスが微細結晶質カルコゲナイド材料の薄膜の六方格子構造を面心立方格子構造に変態させることができる。アニーリング前および後の自由電荷を測定することによって、自由電荷の著しい吸収が起きていないことが見出された。このことは面心立方構造の薄膜が、p-型の高度に縮退した半導体材料（なるとなればフェルミ準位が価電子帯に近接しまたは全くその中に移動している）と考えられる六方晶相の膜と反対に熱的に励起された自由電荷（正孔）の低い濃度を有することを示唆している。

本発明の中で述べられている電気伝導度のダイナミックレンジのエンドポイント（フェルミレベルの位置によって決定される）が面心立方と六方格子構造の間の結晶状態の変化に対応する必要のないことは注目すべきである。むしろ、より重要なことは、材料

実験によって、発明者は孔の寸法（直径、厚さ、および体積）、信号パルスの継続時間、組成物中に存在する酸素のような不純物、クリスタリットの寸法および信号パルスの波形などの要因が抵抗のダイナミックレンジの大きさ、そのダイナミックレンジの絶対的なエンドポイント抵抗、およびデバイスにこれらの抵抗をセットするのに必要な電圧に影響することを示した。例えば、比較的厚いカルコゲナイド膜（すなわち、約4000Å）は高いセット電圧（従ってメモリ材料のボリューム中での高い電流密度）を必要とし、一方比較的薄いカルコゲナイド層（すなわち約250 Å）はより低いセット電圧（および電流密度）を必要とする。もちろん、クリスタリットの寸法および、従ってバルクの原子の数に対する表面の原子の数の比の重要性については前に述べた。

本発明者は材料が実際に六方格子構造の極端な端で動作しそれで非常に低いエネルギー入力フェルミ準位の位置および抵抗値の著しい変化をもたらすのは驚くことではないと推察する。さらに、本発明者は面心立方層から六方／菱面体層への変化はクリスタリットが好ましい組成比であるとして（2元組成物では $\text{Te}_{50}\text{Ge}_{50}$ が好ましい）、ゲルマニウムおよび／またはアンチモン原子の僅か2%だけの移動で説明することができると推察する。各原子の喪失はクリスタリットに余分の正孔を提供するので、立方センチメートル当

が決して非晶質状態に逆戻りせず、それゆえ電気抵抗のダイナミックレンジのエンドポイントが一つまたはより多くの結晶格子構造に由来することができまた比較的低いエネルギー入力および高速で達成できると言う事実である。

もしも誰かが自由電荷の濃度と結晶格子の構造とはある程度結び付けられないと考えるなら、多重の安定な中間相の存在を理解するのに役立つ情報を提供することができる可能なメカニズムがある。外部電界の存在が電荷を移動させそしてそれによって格子を歪ませることが知られている。二つのレスポンスは独立である。テルルーアンチモンマトリクス中の価電子の数を変化させるために、ゲルマニウムおよびまたはアンチモン原子が移動させられなければならない。外部電界の印加の間の歪んだ格子のレスポンスがあるポンドを破壊して付加的なアクセプタ準位（格子の中の正孔の高い密度）を創りまたは単に結合していない孤立電子対をその局所的な環境の中で移動させおよびまたは孤立電子対を相互に作用させてエネルギーギャップ中に状態を創りまたは解消することが可能である。どのような事象でも、最終結果は材料の以前の非晶質または結晶質状態には独立である。

り 10^{21} 程度の自由電荷の増加があるだろう、この値はこの狭いバンドギャップ材料における熱的な発生によってはマスクされ得ない。この自由電荷の増加の型をここでは「自己ドーピング」または「自己補償」という。さらにこれらの半導体材料のバンドギャップはシリコンまたは硫黄または炭素などの他の半導体材料と合金化することによって拡げられまたはさらに狭められることができることは注目に値する。さらに、セット電流の減少もまた組成物をセレンなどの他の半導体材料と合金化することによって達成される。

図面に戻ると、第6図にはグラフが示されており、この図においては、本発明の新規な半導体材料から形成されたメモリ素子の抵抗が縦軸上にプロットされており、25ナノ秒のパルス持続期間の印加パルス電圧が横軸上にプロットされている。この曲線は、明らかに、とりわけ、前記特別な半導体材料とデバイス構造および寸法とにより達成できる抵抗値の広いダイナミックレンジを示している。この特殊なデバイスについて図示している電気抵抗のダイナミックレンジは、ほぼ一桁オーダーの大きさより大きい。第6図のデータは、約3ボルト未満の入力パルスに対して一定の抵抗値であることを示している。3ボルトのインパルスが印加されると、デバイスの抵抗は、ダイナミックレンジの低抵抗端に該当する約 6×10^8 オームに急激に低下する。4ボルトから9ボルトのより高い電圧パル

スを印加すると、デバイスの抵抗は、ダイナミックレンジの高抵抗端に該当する約 7×10^4 オームにリニアに増加する。この抵抗対電圧のプロットの直線性と、“開始状態”にリセットすることなしに生じる、このプロットに沿った両方向への顕著な続行能力とは、注目すべきものである。この広いダイナミックレンジ、プロットの直線性、およびプロットに沿った両方向への移行能力によって、本半導体材料は、直接的な重ね書き特性およびマルチレベルの記憶特性によって特徴づけられるメモリ製品に使用可能であることが分かる。

電気抵抗のダイナミックレンジ内の所望とする抵抗レベルにメモリ素子を設定するために必要な信号パルス継続期間は、同様に前述のファクターおよび信号電圧の全てに依存する。典型的な信号パルス継続期間は、約 250 ナノ秒未満であり、好ましくは約 50 ナノ秒未満である。強調されるべきことは、前述の短い 25 ナノ秒のパルス幅が、孔の寸法の形状、および採用した半導体合金の厚みと組成とに依存することである。確かなことは、前記パルス継続時間を、メモリスイッチの動作を妨げるることなしに、大幅に減少可能なことである。実のところ、より少ないエネルギー量の入力で、素子のサイクル寿命が単純に増加可能である。

所与のメモリ素子の抵抗を読み、そして、必要なときに該抵抗を調整するフィードバックループを、本発

明のメモリシステム内に組み込んでもよい。例えば、最初に、メモリ素子を所望の抵抗に設定できるが、早晩に該メモリの抵抗をから少しドリフトすることがある。この場合には、フィードバックループは、所要の電圧および継続期間のリフレッシュ信号パルスを計算してメモリ素子に送り、これを予め選択された抵抗値に戻す。また、存在し得る状況として、メモリ素子に送られた前記設定パルスが該素子を前記所望の抵抗値に設定しない結果となる場合がある。この場合には、フィードバックループは、さらに信号パルスを素子に、前記所望の抵抗値レベルが達成されるまで、送り続ける。この一連の設定／調整サイクルの全継続期間は、約 1,000 ナノ秒未満であり、好ましくは約 500 ナノ秒未満である。

前記抵抗対電圧曲線の直線部分を上下に移動する特性は、過度に強調できない。第 6 図に矢印で示したように、選択された電圧の信号パルスは、メモリ素子の以前の設定条件に関係なく、該メモリ素子を所要の抵抗に設定する。前記曲線に沿った両方向への移動特性は、以前に記憶されたデータに直接重ね書きするため用いられる。このような直接重ね書き特性は、前記従来技術の相変化および MSM(a-Si) メモリ材料によっては、得ることができない。中間の抵抗値を両方向に設定するこの特性は顕著なものである。一千回連続した 5 ボルトのパルスにより、単一の 5 ボルトパルスに

続く 8 ボルトの一パルスと、あるいは単一の 5 ボルトに続く 4 ボルトの一パルスと同じ抵抗値を達成することができる。したがって、無理のないことであるが、この画期的な材料の顕著な動作特性を説明することは大変に難しい。

また、抵抗のこのダイナミックレンジは、広いグレイスケールおよびマルチレベルのアナログメモリ記憶用にも有用である。このマルチレベルメモリ記憶は、該広いダイナミックレンジを多数のサブレンジまたはレベル内に分配することによって実現される。このアナログ記憶特性は、単一のメモリセル内に記憶すべき二進情報の多重ビット用にも有用である。このマルチレベル記憶は、二進情報の多重ビットをアナログ形に見せかけ、このアナログ情報を単一のメモリセルに記憶させることによって実現される。したがって、抵抗のダイナミックレンジを 3 またはそれ以上のアナログレベルに分配することにより、各メモリセルに 1 および $1/2$ あるいはそれ以上の二進情報のビットの記憶容量が与えられる。

第 7 図は、本発明の半導体材料の新規なクラスに属する典型的な Te-Ge-Sb 組成物から得られた電気的および光学的データを示す表である。このデータは、スパッタリングによって堆積され、その後、空气中で堆積後の熱アニールに晒されたサンプルから得られたものである。このデータから分かるように、調製し

たままの非晶質相は、約 0.7 eV のバンドギャップ、約 0.37 eV のフェルミ準位の位置、および約 35% の光反射率を有している。この材料は、該非晶質相にある場合、狭いバンドギャップの真性半導体として挙動する。しかしながら、特に興味深いものは、前記非晶質材料が転移できる二つの結晶格子相の電気的特性および光学特性である。前述と同じ組成物の“調製されたままの”面心立方晶相は、約 0.4 eV のバンドギャップ、約 0.18 eV のフェルミ準位の位置、48% の光反射率を有し、狭いバンドギャップの真性半導体材料として挙動する。さらに、前述のサンプルの六方晶相は、前記面心立方晶相と同じバンドギャップを有するが、熱アニールの状態に依存して約 0.0 ないし約 0.18 eV の範囲のフェルミ準位の位置の広いダイナミックレンジを有する。前記六方晶相は、約 48 から約 73% の範囲の光反射率を有し、狭いバンドギャップで、p-形の、縮退半導体材料として挙動する。このフェルミ準位の位置のレンジと、結果的に得られた電気的（導電度／抵抗）および光学的（反射率）特性の広いダイナミックレンジとは、情報のグレイスケールの電気的および光学的記憶用に有用である。縮退の挙動、すなわち、フェルミ準位位置の価電子帯端内への移動は、顕著である。自由電荷の濃度は、狭いバンドギャップ材料における該挙動を測定するために、大変高くなければならず、前記材料内では、熱電荷の発生は、通常このような外

因性の挙動を抑制する。したがって、このような高い正孔濃度は、本発明の最も重要な側面の一つである。

本電氣的メモリの転移のスイッチングは、従来技術で要するエネルギーよりかなり低いエネルギーしか必要としない。我々の現在までの理解に基づくと、これは驚くに当たらない。全ての従来技術の材料は、非晶質から結晶相への相転移に依存するのに対し、本材料は、結晶相から結晶相への相転移で動作するとともに、単一の結晶相内でも動作し、これらの相転移から電気伝導度の向上が得られる。

本発明者の推測するところでは、本材料は实际的に六方晶系の格子構造の両極端で動作するので、大変低いエネルギーの入力で、フェルミ準位の位置と抵抗値において著しい変化をもたらすことができることは、驚くに当たらない。さらに、本発明者の推測するところでは、面心立方晶相から六方晶／菱面体晶相への変化は、好適な組成比（二元組成物では $\text{Te}_{52}\text{Ge}_{48}$ は好適である）を考へて、クリスタリットから2%程度の少ない量のゲルマニウムおよび／またはアンチモンの移動によって説明することができる。各原子の損失によって前記クリスタリットに余分な正孔が発生するので、一立方センチメートルあたりの自由電荷濃度の 10^{21} オーダの増加が、すなわち該狭いバンドギャップにおける熱発生によってマスクされない値の増加が生

じるであろう。自由電荷濃度におけるこのタイプの増加は、ここで、“自己ドーピング”または“自己補償”と呼称される。さらに、これらの半導体組成のバンドギャップは、合金化によって拡張されるか、またはより狭められ得る。

該薄膜メモリ材料の酸素濃度が、そのクリスタリットの寸法の制御において重要な役割を支配する、もしくは担うことが、観察されている。前述のように、一般的にクリスタリットの寸法、そしてクリスタリットの周囲の原子数に対するクリスタリットのパルク内の原子数の相対比が、同様に、半導体材料のフェルミ準位の位置（そして、それ故に外因性の電気伝導度）を制御すると信じられている。さらに、酸素は、カルコゲナイド組成物の電気伝導度を内在的に変化させるために、該組成物に多くの欠陥状態を与える不純物原子として作用している。この電氣的挙動は、全ての他の従来知られているカルコゲナイドメモリ材料の挙動と大きく異なっていることが示されている。

前に示したように、第8図は、Ge-Te-Sb半導体合金系の三成分系ダイアグラムである。二成分相および三成分相が四角（■）によって示されるとした先に議論した情報に加えるに、このダイアグラムは他の合金の偏析（segrigation）についての情報も提供する。これら他の合金は三角（▲）、ダイヤモンド（◆）および円（●）により示され、それらにおいてその合金が、

融液からの急激な固化によって、偏析する相は、それらの合金から延びる実線または破線によって示されている。二つのTeがリッチな融液の開始組成物は、この三成分系ダイアグラムに丸記号によって示されている。急激な固化によって、これらの混合物相は、元素Teと、さらに相B、CおよびDに偏析する。

ダイヤモンド記号で示されている疑似二成分線の右の組成物の融液は、このダイアグラム上の線によって示されている相内で固化する。状態図内の三角で示されている他の混合物は、元素GeおよびSbに、そして相Aに固化する。相Aは、相Aの融液組成と近似の組成の全ての融液の急激な固化において見いだされる。相Aの組成と同様の組成の溶融混合物は、急激な固化によってほぼ純粋な相Aを形成する。この相は、この特性を示す唯一の相である。本発明の改良されたメモリ素子に用いるために特に重要な合金は、 $\text{Ge}_{52}\text{Sb}_{23}\text{Te}_{25}$ であり、これを $\text{Ge}_2\text{Sb}_2\text{Te}_5$ または2-2-5と表示する。この2-2-5合金は、急激な固化によって、相が、第8図の状態図に示されている二つの異なった相組成B（ $\text{Ge}_{52}\text{Sb}_{18}\text{Te}_{30}$ ）と、相組成C（ $\text{Ge}_{18}\text{Sb}_{33}\text{Te}_{49}$ ）とに偏析する。特に重要な他の合金は、 $\text{Ge}_{18}\text{Sb}_{33}\text{Te}_{49}$ （同様に GeSb_2Te_4 または1-2-4と表示する）であり、これは、 $\text{GeTe-Sb}_2\text{Te}_3$ 疑似二成分線上の成分Dである。これらの2-2-5および1-2-4合金は、前述したように、組成が傾斜され、層化され、あるいは傾斜／層化され

た形状のメモリ材料のボリュームを形成するために重要な合金である。

第9図は、本発明の改良されたメモリ素子について得られたデータを図示したものであり、特に安定した設定抵抗を示している。このメモリ素子の抵抗は縦軸にプロットされ、設定パルス電圧が横軸にプロットされている。このデータを得るために、メモリ素子を、横軸に示されているように、入力パルス電圧によって、選択された抵抗に設定した。この入力パルス継続期間は、3ナノ秒の立ち上がりおよび立ち下がり時間を含む30ナノ秒であった。前記選択抵抗に設定した後、該エレメントの実際の抵抗値を1000回読んだ。読んだ値の十分の一をグラフにプロットした。第9図の実験データをもたらすために用いたメモリ素子は、組成傾斜したものであった。この実施例では、メモリ材料のボリュームは、前述の1-2-4および2-2-5 Ge-Sb-Te合金間で連続かつ均一に傾斜させた。

第9図を丹念に調べると、本発明のメモリ素子は、あるとしても、実験期間内で極く小さな抵抗値の（誤差の選択された限界の外にある）ドリフトを示すに過ぎない設定抵抗値を持っていることが、はっきりと分かる。実質的にドリフトなしに選択された抵抗値に設定するこの能力は、該メモリ素子の抵抗値にかなりのドリフト（すなわち、許容誤差限界の外にある）があると記憶情報の損失につながるという場合における不

可欠な特性を表している。“立ち上がり時間”という用語は、ここで用いたように、信号開始から信号の強さがピークに達し時点までの時間間隔を示しており、この間に信号の強さが連続的に増加する。同様に、“立ち下がり時間”という用語は、ここで用いたように、信号の強さのピークが止まった時点から最後に信号が不連続となるまでの時間間隔を示しており、この間に信号の強さが連続的に減少する。

第10図は、Ge-Sb-Te系の三成分系合金の原子構造と、二成分系合金Ge-Teの原子構造とを示している。二つの三成分系合金は、前述の1-2-4組成物（第8図の三成分系ダイアグラムの組成物D）と2-2-5組成物とである。第3の三成分系合金は、 $\text{Ge}_2\text{Sb}_{1.5}\text{Te}_{1.5}$ であり、同様に GeSb_2Te_2 または1-4-7と表示する。この1-4-7合金は、第8図の三成分系ダイアグラムの組成物Eに相当する。これらの合金の原子構造の表示では、白抜きの円はGe原子を表し、斜線を引いた円はSb原子を表し、点を描いた円はTe原子を表している。第10図に示されているように、各合金の原子配置は、面心立方結晶構造である場合は、配列され、繰り返された原子の層から形成されている。このfcc配置は3つの異なったタイプの層を形成しており、それらは第10図にA、BおよびCと記されている。タイプBとCの層は3つの原子からなる層であり、タイプAの層は7つの原子からなる層である。

(n秒)の一つとをそれぞれ示す三次元グラフである。第11a図は、様々なパルス振幅に対する（前記定義の）パルス立ち上がり時間の関数としてデバイス抵抗が示されており、3ナノ秒のパルス立ち下がり時間と27ナノ秒のパルス幅と、パルス立ち上がり時間を有する場合のものである。第11b図は、様々なパルス振幅に対する（前記定義の）パルス立ち下がり時間の関数としてデバイス抵抗が示されており、3ナノ秒のパルス立ち上がり時間と30ナノ秒のパルス幅を有する場合のものである。第11c図は、様々なパルス振幅に対するパルス幅の関数としてデバイス抵抗が示されており、パルス立ち上がりおよび立ち下がり時間がともに3ナノ秒である場合のものである。

これらの図から分かるように、そして前述のように、（すなわち、抵抗のダイナミックレンジの大きさ、絶対終点抵抗値、抵抗対パルス振幅曲線の勾配などのような）メモリ素子の電子特性は、パルス幅、立ち上がりおよび立ち下がり時間を調整することによって、固有の電流／電圧要求値に合うように適合させることができる。注意すべきことは、試験パルス幅のレンジ内で、30ナノ秒より大きい全ての幅が、基本的に同じ結果を与えらるということである。このことが、パルス立ち上がりおよび立ち下がり時間への低依存性と一緒になって、パルスパラメータのプログラミングにおける限界の広さを与える。

第10図に示されている1-4-7, 1-2-4、および2-2-5合金は、本発明の基本メモリ素子として重要なものであり、本発明の基本的に改良したメモリ素子に用いるために重要なものである。遷移金属が、Seを伴って、存在する場合、該遷移金属は、Te-Ge-Sb母材全体に亘って比較的均一に取り込まれ、スイッチング電流要求値の低減とデータ保存の熱安定性の向上をもたらすように、前記母材の電子的／原子的構造を増強する。電流分析によって、前記構造においてSeがTeと置換していることが分かるが、遷移金属の精確な位置が分からない。それは、遷移金属がカルコゲン元素と結合しているためと思われる。

また、前述したように、Ge-Sb-Te合金材料が加熱された基板上に蒸着される場合、該材料は異方性形に堆積される。すなわち、この形態に堆積される場合、合金材料のクリスタリットは構成原子成分層が基板にほぼ平行に配列されるように配向される。もちろん、この結果、電流は異方的に流れるようになるが、セットおよびリセットインパルスを抵抗の低い方向に用い、それによってより低いセットおよびリセット電流、電圧および／またはエネルギーを実現するように、該材料の原子配列の長期に亘る実現性を提供する。

第11a図、第11b図および第11c図は、デバイス抵抗（キロオーム）対入力設定振幅(mA)と、パルス立ち上がり時間、パルス立ち下がり時間またはパルス幅

第12a図および第12b図は、設定抵抗値を安定化するために成分調整をしない場合およびした場合のそれぞれにおいてメモリ素子から得たデータをグラフ表示したものである。これらのグラフにおいて、デバイス抵抗が縦軸にプロットされ、メモリ素子を設定してからの時間が横軸にプロットされている。第12a図には、単結晶Ge-Sb-Teから形成されたメモリ材料のボリュームから製造された5つの異なったメモリ素子について得たデータが示されている。これらのメモリ素子は、選択された抵抗へ設定され、様々な時間の後、該素子の抵抗値が測定された。これらのデータにより、これらのメモリ素子（すなわち、成分の調整を行わないもの）は、高い抵抗ドリフト値を示すということが明らかである。第12b図には、第1のGe-Sb-Te合金(1-2-4)から第2のGe-Sb-Te合金(2-2-5)まで連続的かつ均一に組成傾斜されたメモリ材料のボリュームから製造された12の異なったメモリ素子について得たデータが示されている。さらに詳しくは、1-2-4合金の第1の不連続な層が堆積された。1-2-4層の上において、その組成は、その厚みの反対面が2-2-5組成となるように、均一かつ連続的にカルコゲナイト材料の1000オングストロームの総厚に亘って調整された。これは共蒸着または複数のターゲットを同時にスパッタすることにより容易に実現されることに注目されたい。これらのメモリ素子は、5から11ボルトのパルス

を入力することにより、抵抗値のダイナミックレンジ内の選択された抵抗に設定された。同様に、様々な時間の後、該メモリ素子の抵抗値が測定された。第12b図にプロットされているデータから、組成調整したメモリ材料のポリウムを含むメモリ素子は、組成調整をしないメモリ素子に比べて経時的に十分に安定した抵抗値を示すことが明らかである。本発明者は、組成変成が設定抵抗値を安定化するメカニズムを説明することができない。そのメカニズムは、次に堆積される材料の成長を核形成するか、“成長の激増的なプロフィール”を提供するためにテンプレートを与えるのと同じ程度の簡単なものであると思われる、あるいは該メカニズムは、該メモリ材料の格子構造に歪みを印加するのと同じ程度に複雑なものであるとも思われる。メカニズムがどうであろうと、本発明は、該メモリ材料の設定抵抗を安定化する組成変成のこれら形態を実現できるという重要性を持つ。

第13図は、そのコンタクト層に薄膜シリコン層がない場合の $(\text{Te}_{0.6}\text{Ge}_{0.2}\text{Sb}_{0.2})_{0.0}\text{Ni}_{0.8}\text{Se}_{0.8}$ なる公称化学組成を有するメモリ素子から得たデータをグラフ表示したものである。第13図には、縦軸にプロットされているデバイス抵抗と、これに対して横軸にプロットされている書き込み／消去サイクル数とが示されている。該素子は、高抵抗値に設定するためには、3.1 ボルトで2 ミリアンペアの電流で40ナノ秒のパルスを用いてス

イッチされ、低抵抗値に設定するためには、1.9 ボルトで1 ミリアンペア電流で400 ナノ秒のパルスを用いてスイッチされる。このグラフには、比較的低い、たった約 10^5 の書き込み／消去サイクル寿命の電流のスイッチングパルスを用いた、二つの抵抗の検出値間のかなり安定なスイッチングが示されている。

第14図には、メモリ材料のポリウムと非晶質炭素層との間に配置された200 Åの薄膜非晶質シリコンコンタクト層を持つ $(\text{Te}_{0.6}\text{Ge}_{0.2}\text{Sb}_{0.2})\text{Ni}_{0.8}\text{Se}_{0.8}$ なる公称化学組成を有するメモリ材料のポリウムを含むメモリ素子について得たデータがグラフ表示されている。第14図には、縦軸にプロットされているデバイス抵抗と、これに対して横軸にプロットされている書き込み／消去サイクル数とが示されている。該素子は、高抵抗値に設定するためには、4.2 ボルトで1.5 ミリアンペア電流で25ナノ秒のパルスを用いてスイッチされ、低抵抗値に設定するためには、2.0 ボルトで0.5 ミリアンペア電流で400 ナノ秒のパルスを用いてスイッチされる。このグラフには、比較的低い、少なくとも約 10^5 の書き込み／消去サイクル寿命の電流のスイッチングパルスを用いた、二つの抵抗の検出値間のかなり安定なスイッチングが示されている。

構造変成をした場合のデバイスとしない場合のデバイスの比較により、シリコンコンタクト層を有するデバイスでは多くの物理的／電気的特性が改良されてい

ることが明らかとなる。そのスイッチング安定性が向上されている。すなわち、データのノイズレベル（すなわち、加えられた入力パルスに対する実際の抵抗と予測される抵抗との差）が顕著に減少している。スイッチング安定性の向上に加えて、高抵抗値と低抵抗値との間の絶対値もまた向上する。さらに、電流要求量も、シリコンコンタクト層の付加によって、25から50パーセントだけ減少されている。最後に、構造的に変成された素子のサイクル寿命も少なくとも一桁オーダーの大きさだけ増加している。

第15図には、 $(\text{Te}_{0.6}\text{Ge}_{0.2}\text{Sb}_{0.2})_{0.0}\text{Ni}_{0.8}\text{Se}_{0.8}$ なる公称化学組成を有するメモリ材料（すなわち、変成された材料）のポリウムを含むメモリ素子と、 $\text{Te}_{0.6}\text{Ge}_{0.2}\text{Sb}_{0.2}$ なる公称化学組成を有するメモリ材料（すなわち、標準材料）のポリウムを含むメモリ素子とについて得たデータがグラフ表示されており、縦軸にプロットされている記録保持時間と、これに対して横軸にプロットされているデバイス温度（またはその関数）とが示されている。データ保持試験は、デバイスを所望の試験温度に加熱し、その後、このデバイスに電気パルスを印加し、デバイスを高抵抗状態に切り替えることからなる。その後、デバイスの抵抗は、その温度上昇の影響を評価するために、多くの時間において迅速に読みとられる。典型的には、該抵抗は、短時間の内に上昇し、次に立ち下がり始める。データのロスに対してこ

こで用いられた評価基準は、デバイス抵抗が、電気パルスが印加された後すぐに測定された値以下の値に落ちる時点の点である。

第15図を吟味してみると、標準メモリ材料を組み込んだデバイスが約90℃の継続的な温度で約10年間のデータを維持するであろうということがわかるのに、上記変成されたメモリ材料を組み込んだ本発明のメモリデバイスが約110℃の継続的な温度で約10年間のデータを維持するであろうということがわかる。これは、標準メモリ材料に対して増加しており、高温使用時において、より信頼性の高い変成メモリ材料をメモリ素子に組み込ませるものである。

ここに開示した所有権をもつ材料およびデバイスの構成の使用を通じて、電気的に消去可能で、直接上書き可能なメモリ素子が開発された。それは、SRAMの読み書き速度に近付いた速い読み書き速度；EEPROMの不揮発性ランダムアクセス再プログラミング能；およびハードディスクメモリの記憶のメガバイト当たりの価格に近い価格を提供する。

本発明の材料の自由電荷濃度調整能の結果が半導体デバイスの分野において経済的な衝撃を与える可能性がある。上記の背景説明の部分において詳述したように、ここに開示した電荷キャリア調整は、従来技術からの基本的な出発を表す第5番目を表している。簡単に述べたように、本発明の材料において、電界を除去

した後でさえ、フェルミ準位位置、電気伝導度および自由電荷濃度は固定されたままである。このように、それは3つまたは2つの端子のいずれかが用いられ得る新規クラスの半導体デバイスを作り上げることが可能となり、そのデバイスは、予め選択された電気抵抗値に予めプログラムされている。いずれかの結果において、プログラミングされた電圧および／または電流は驚くほど低く、その応答速度は驚くほど速い。これは、本発明の半導体材料が固有速度を有し、かつ、1つまたはそれ以上の異なる結晶相内において起こる調整から結果として生ずるエネルギーを有している。

主要記載事項の吟味から明らかにされるべきものとして、我々は一般に孔の直径に関係したメモリ素子の挙動に、ある傾向をみることができる。我々が二成分モードでのデバイスを使用するとき、我々は、我々が孔の直径が1ミクロンからほとんど開口していないものまでの範囲にあるウエハ全域のデバイスを試験したが、オフ／オンにおける抵抗率の一般的な増加をみることができる。その孔の直径が例えば1ミクロンから半ミクロン未満までの範囲内に制限されるならば、我々のデバイスの挙動を改良する機会がある。電流密度およびエネルギー密度などの容積因子は我々のデバイスのプログラミングにおいて重要である。というのは、孔の直径の縮小から得られるデバイス容積の減少は感度および速度の増加をもたらすべきものだからで

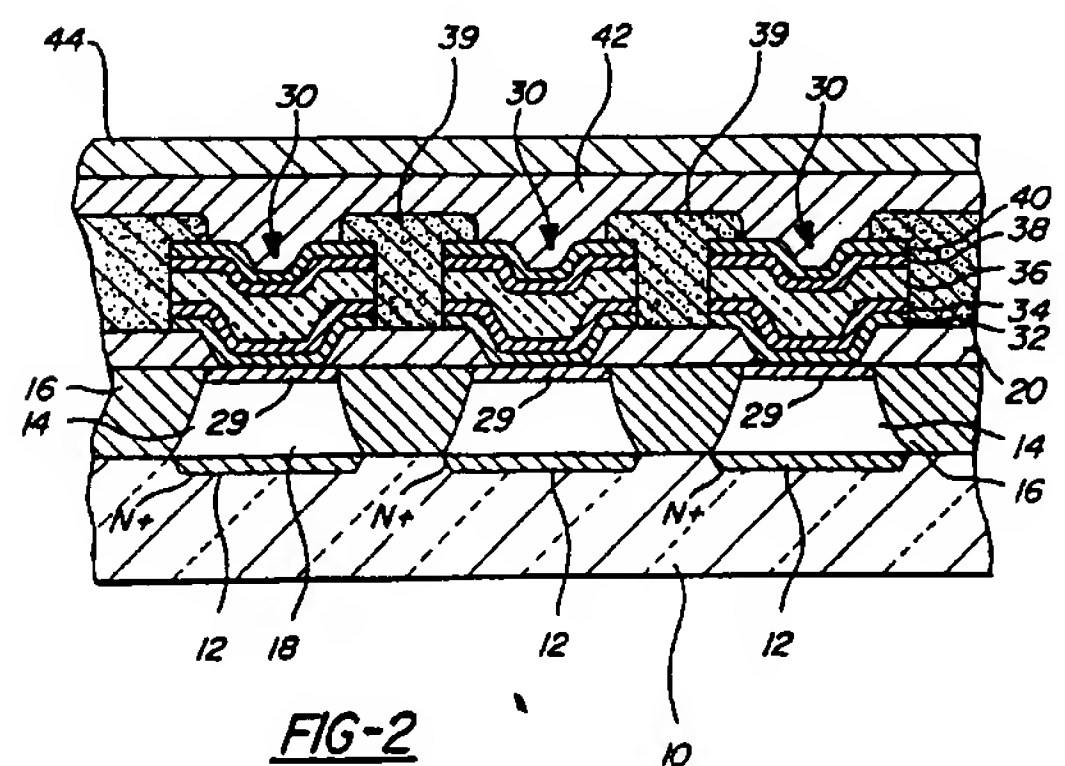
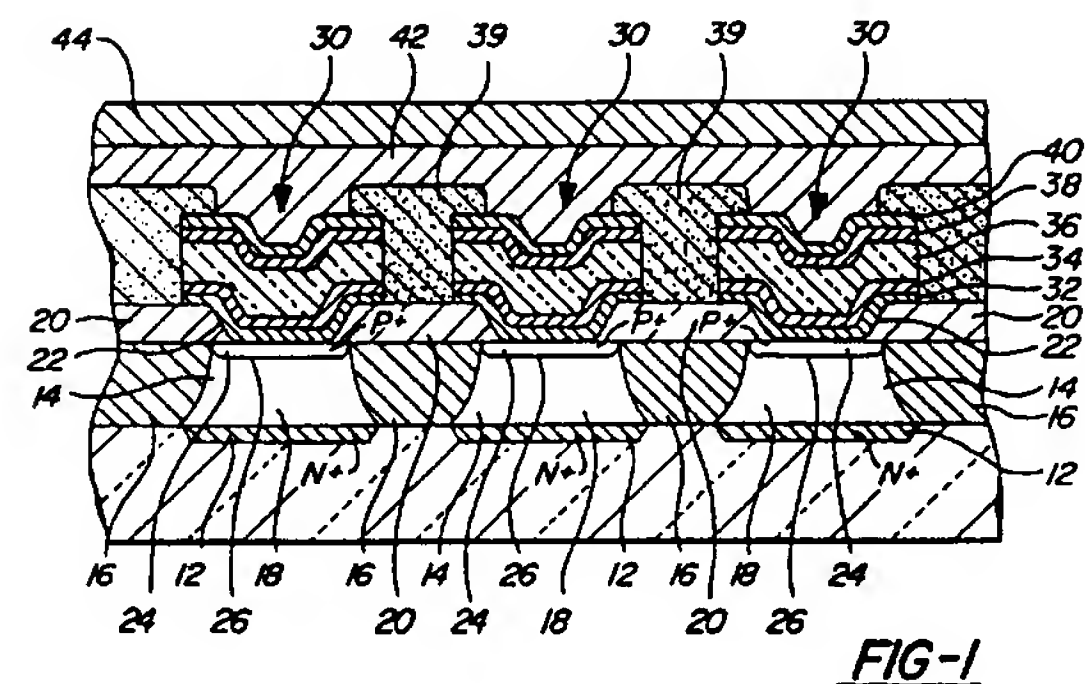
ある。

オポニックEEPROMのプログラミングと協同したスレッシュホールドスイッチング事象(event)がある。このため、ある者は他のスレッシュホールドスイッチのようにオポニックEEPROMのプログラミング電圧がカルコゲナイド合金膜厚依存性を示すであろうと期待する。事実、オポニックEEPROMにおいて、スレッシュホールドスイッチング電圧はプログラミング事象から読み出し事象を分離し、だめになった読み出し部分を除去し、およびデータ読み出し中に良好なオペレーショナルマージンを提供するのに寄与する。我々のデバイスは印加された電界が低いときは直線状の抵抗特性を示す。その後、電界を増加させると抵抗がスレッシュホールド電圧まで次第に減少してゆく。一度、スレッシュホールド電圧を過ぎると、デバイスは、高い伝導性の“ダイナミックオン”状態への負性抵抗トランジションを表す。印加された電界が除去されたとき、デバイスは不揮発性プログラム抵抗状態に戻り、電流／エネルギープロフィールに依存する値をダイナミックオン状態における“メモリ平衡時間”中、経験した。スレッシュホールド電圧がデバイスの抵抗に依存するが、そのスレッシュホールド電圧時のデバイス電流はすべてのデバイス抵抗に対して相対的に一定である。厚さとスレッシュホールド電圧との関係に近似する関係は、見かけ上同一の厚さを有するデバイスに

おける幅広いオペレーショナルマージンに貢献する1より小さい比例因子を示す。

デバイスの厚みを減らすにつれて、デバイスの絶対抵抗は比例して減少するであろう。しかし、同一の厚さでは、コンタクト抵抗はメモリ材料のより小さな抵抗値に対して優位であることが期待され得る。非晶質カーボン電極を、我々は現今試験用デバイスのために用いたところ、このコンタクト抵抗の効果は、従来のウエハ製造施設において用いられていたパラジウムシリサイドまたはタングステンシリサイドなどの低伝導シリサイド電極材料より明白に劣っているであろう。上述したように、カーボンは、元来、相互拡散を防止する能力があるため選択された。しかしながら、タングステンシリサイドなどのコンタクトの使用では、タングステンのカルコゲナイドへの拡散は付加的なp-軌道を提供するであろうし、それによって前述のように電子スイッチの能力を高める(enhance)。

ここに開示した内容が本発明の十分で完全な開示をなす目的のために記述された詳細な実施例の形態で表されたものであることが理解されるべきである。また、そのような詳細な説明は、添付された請求の範囲に述べられかつ規定された本発明の真の範囲を限定するように解釈されるべきではない。



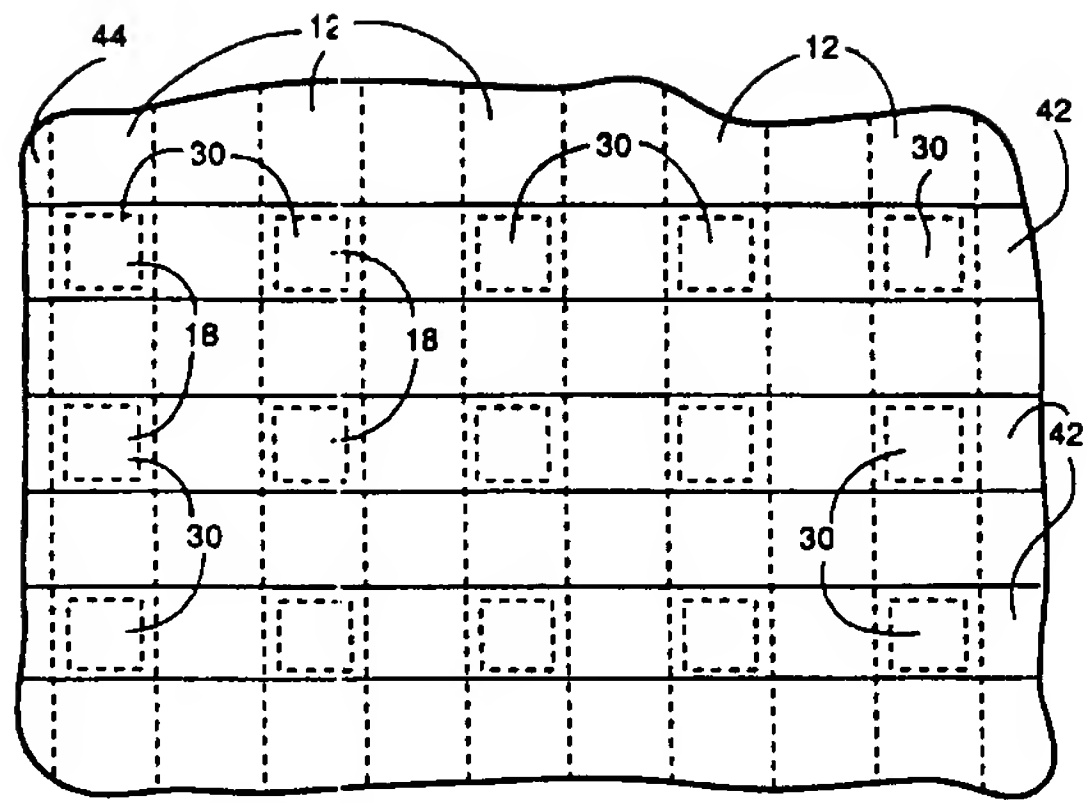


FIG - 3

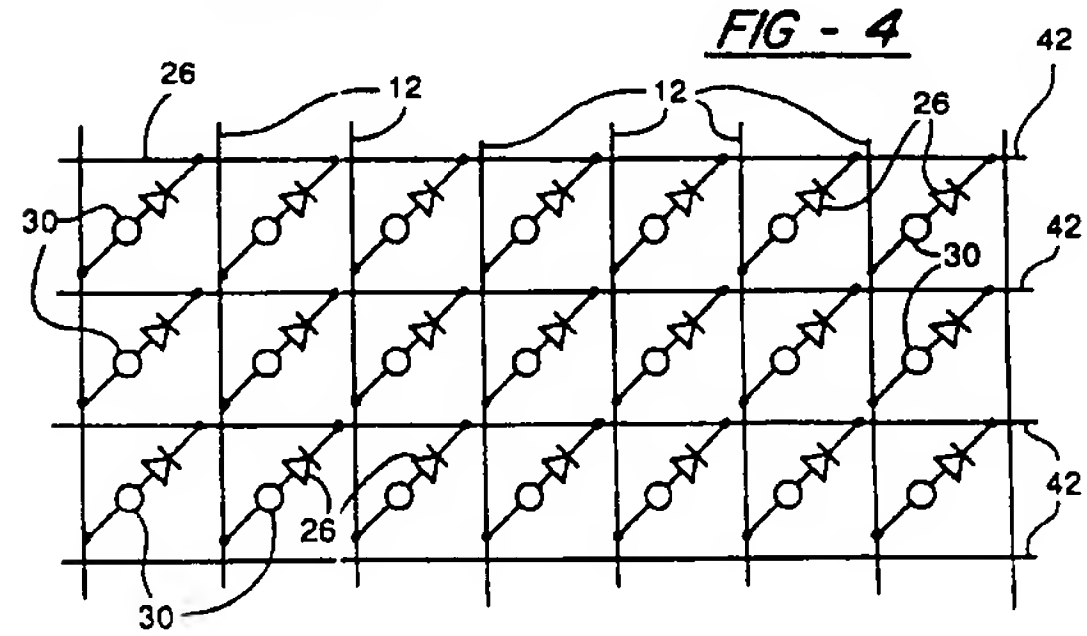


FIG - 4

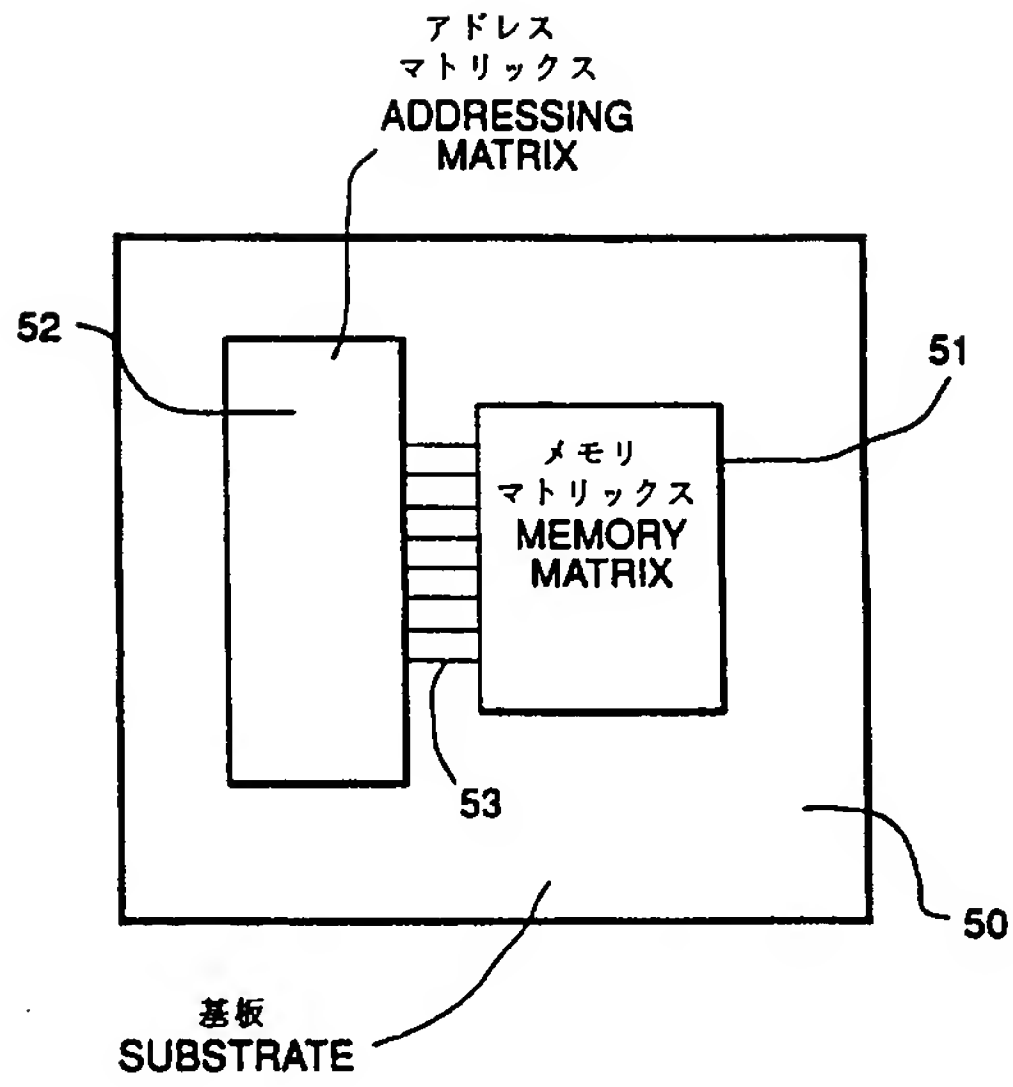


FIG - 5

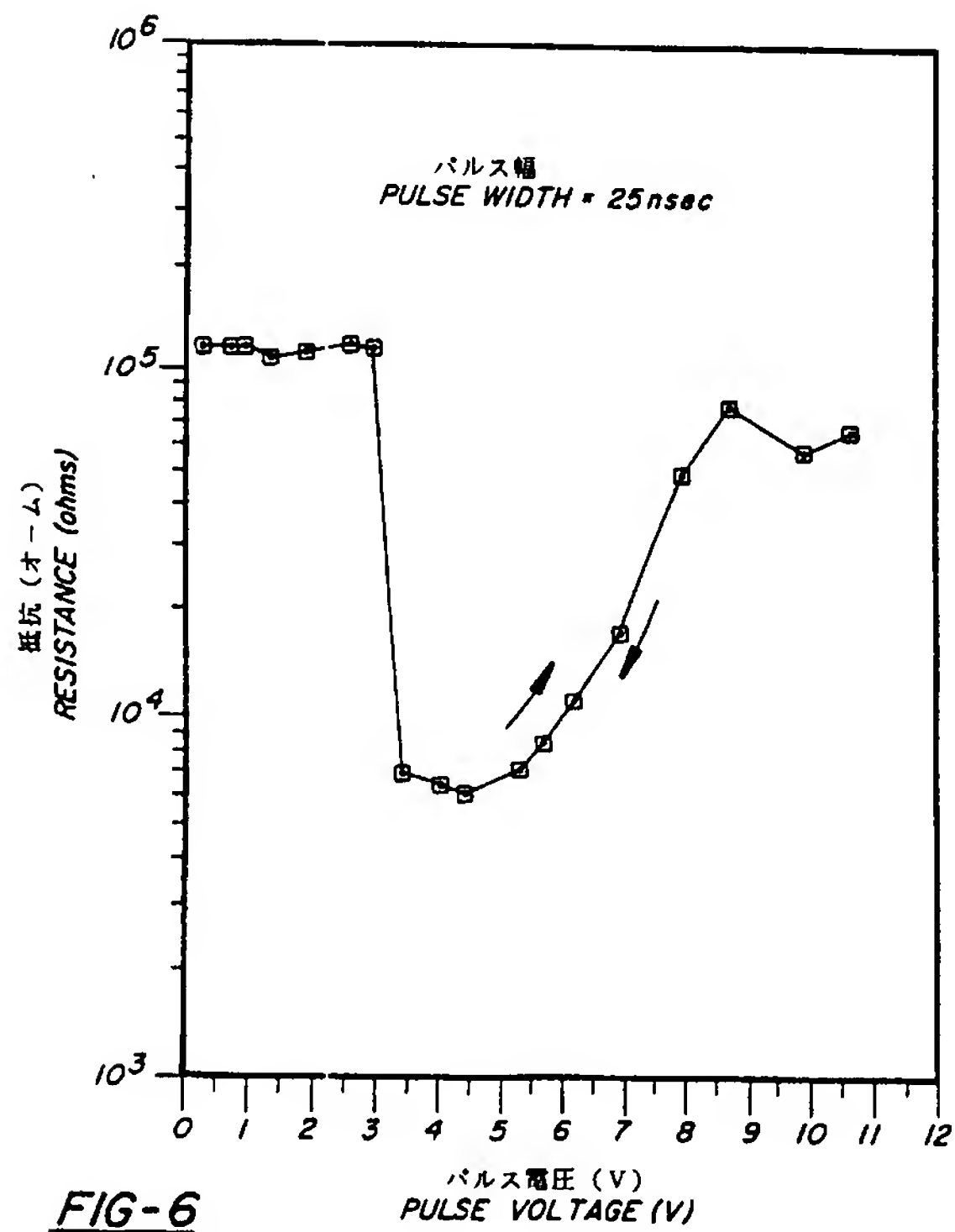


FIG-6

相型 PHASE TYPE	バンド ギャップ BAND GAP (eV)	フェルミ 準位 FERMI LEVEL (eV)	伝導型 CONDUCTIVITY TYPE	830 nmにおける 反射率 REFLECTIVITY AT 830 nm
非晶質 AMORP	0.7	0.37	INTRINSIC 固有	35%
面心立方晶系 FCC	0.4	0.18	INTRINSIC 固有	48%
六方晶系 HEX	0.4	0.18-0.0	P-TYPE P型	48-73%

FIG-7

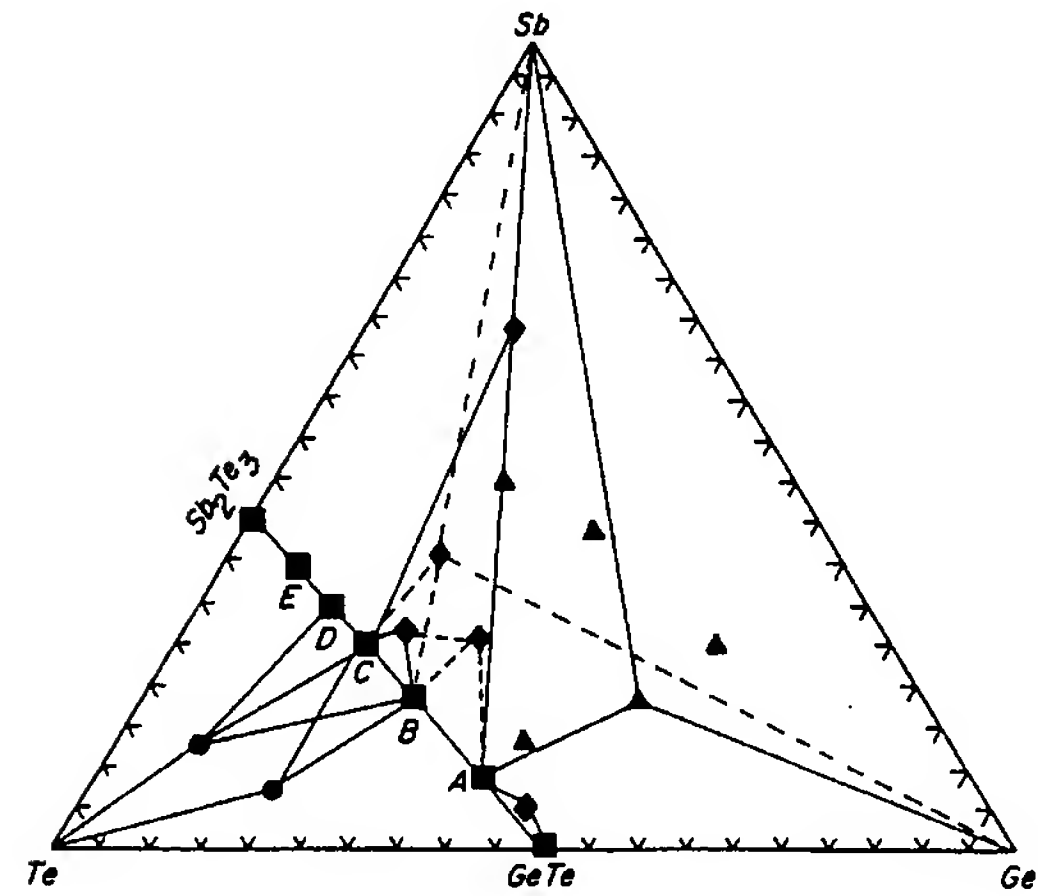
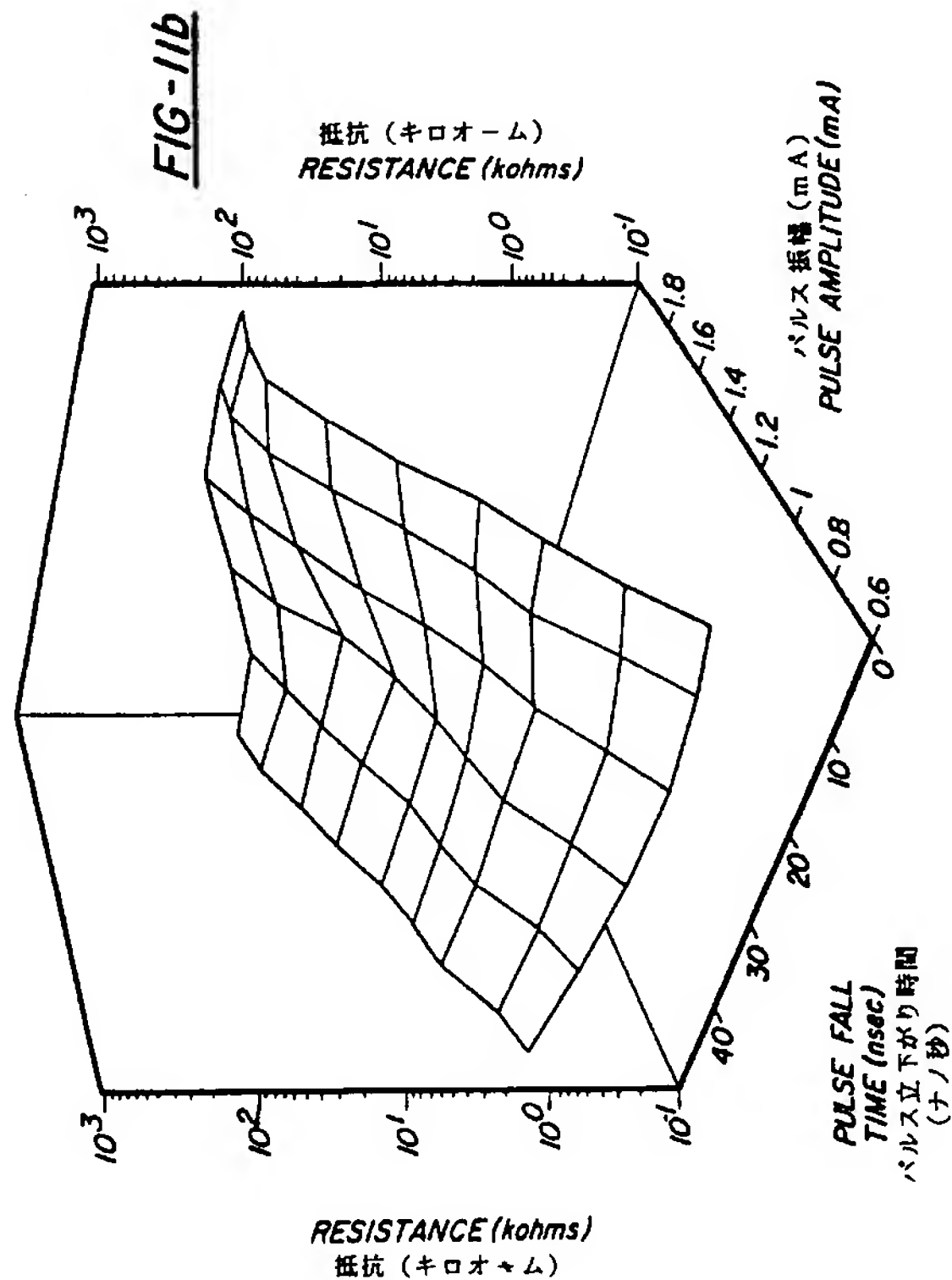
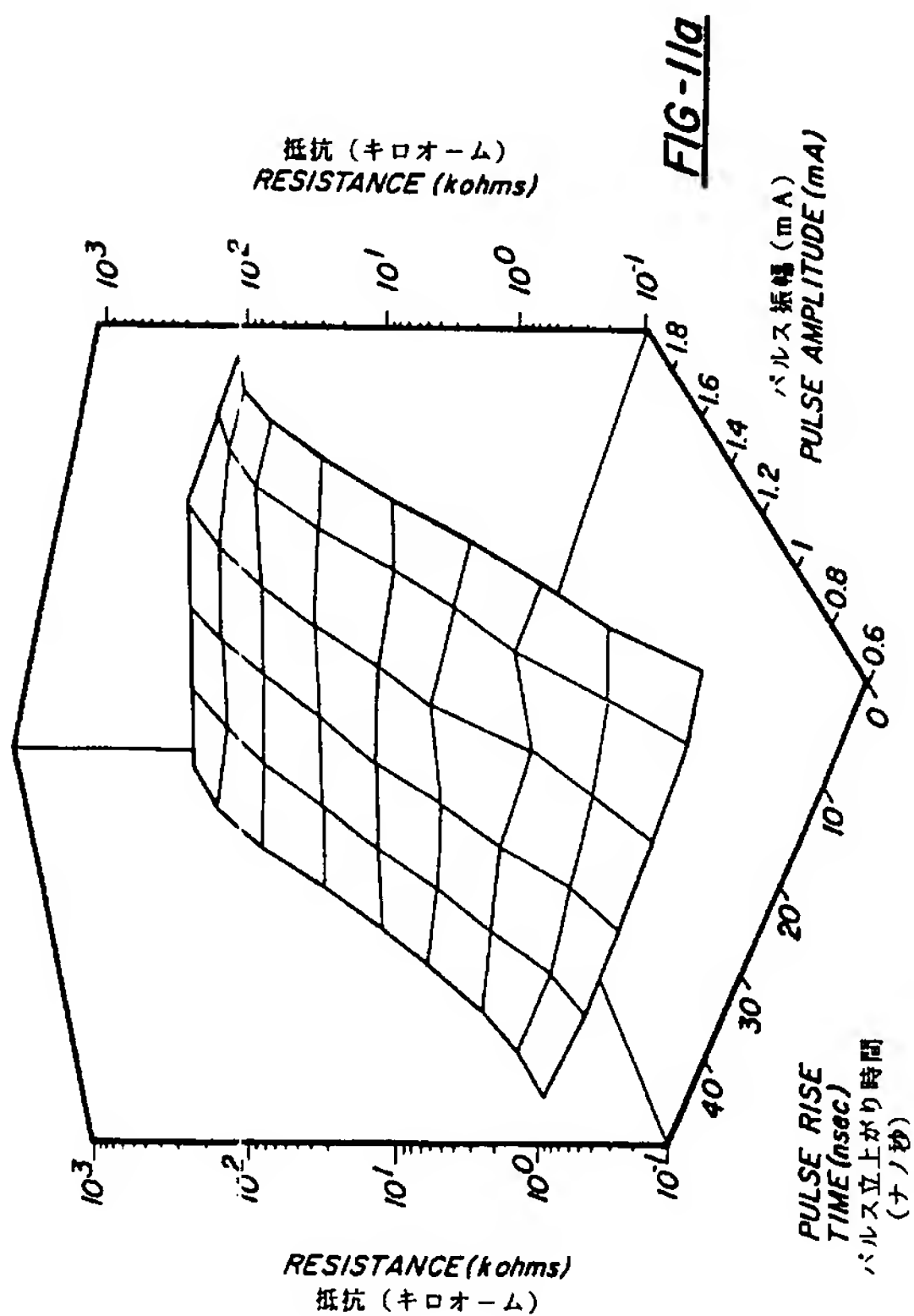
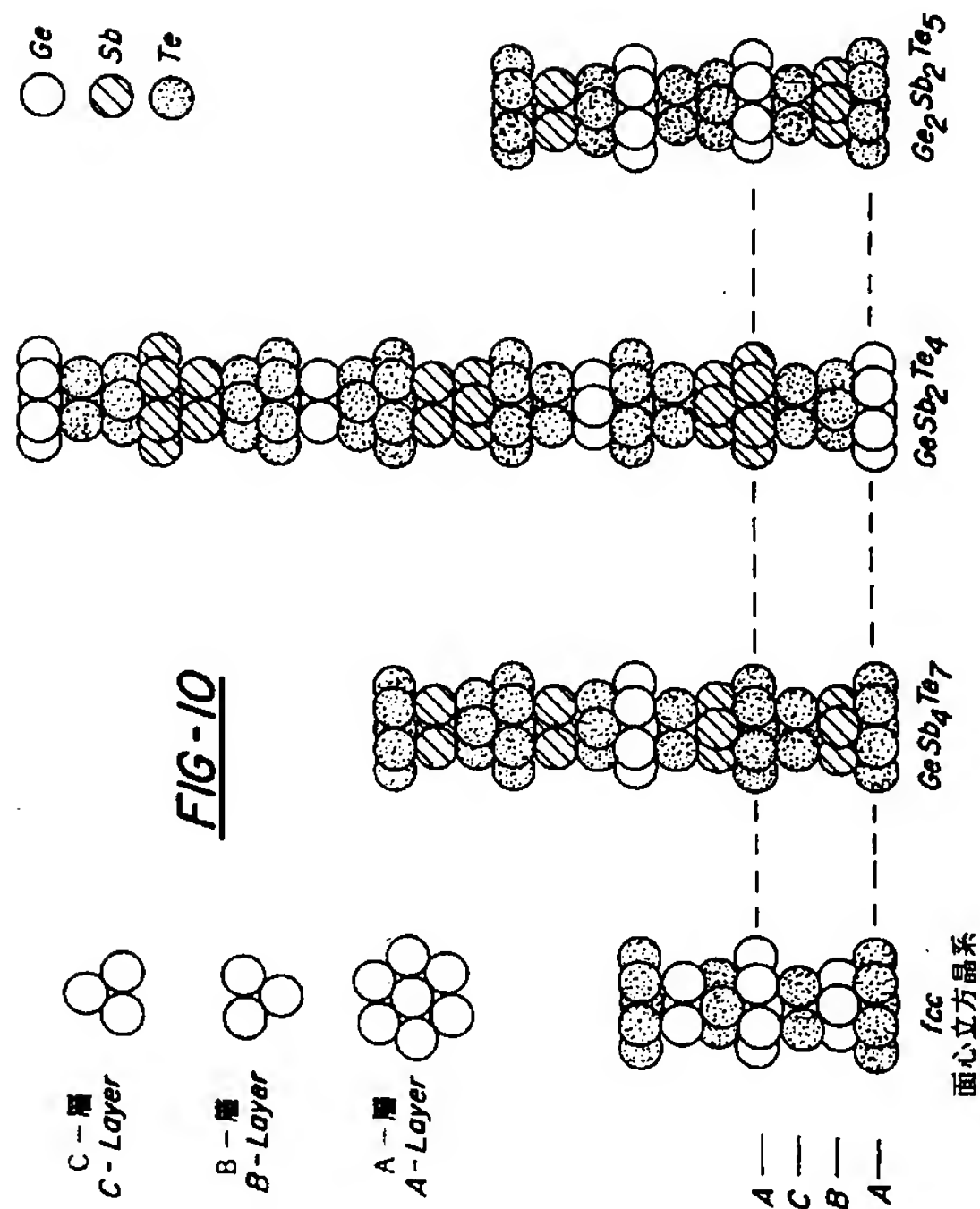
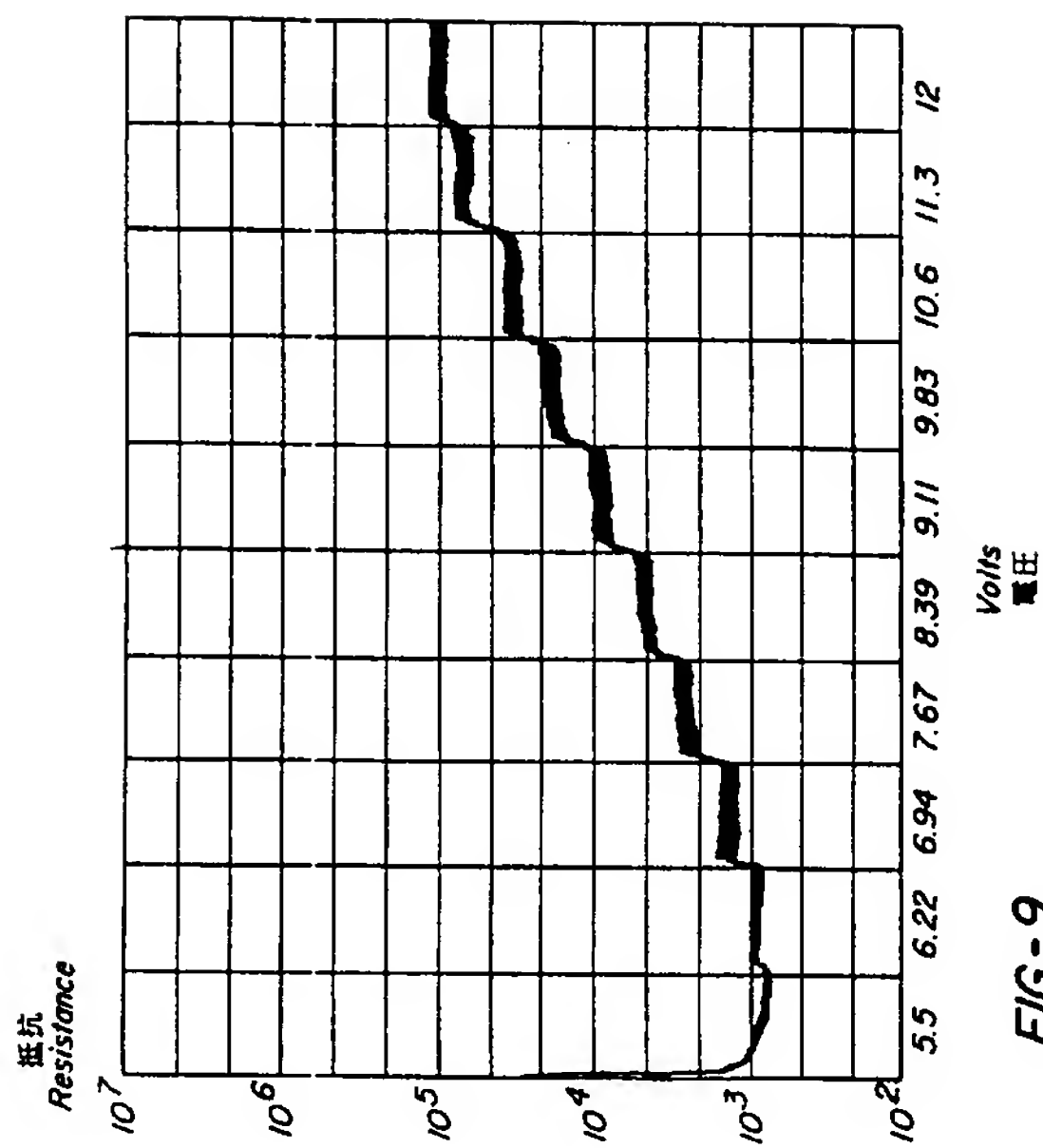


FIG-8



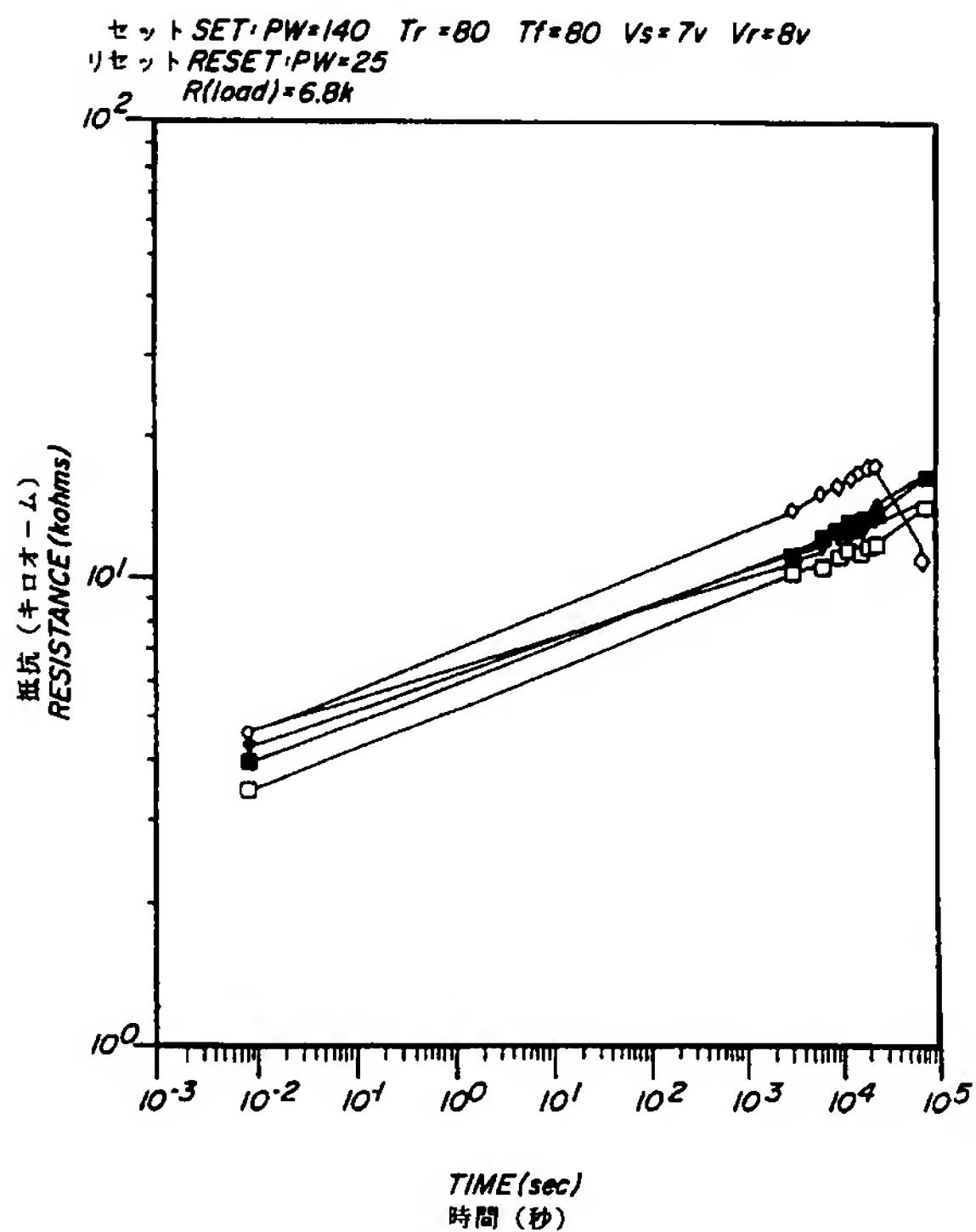
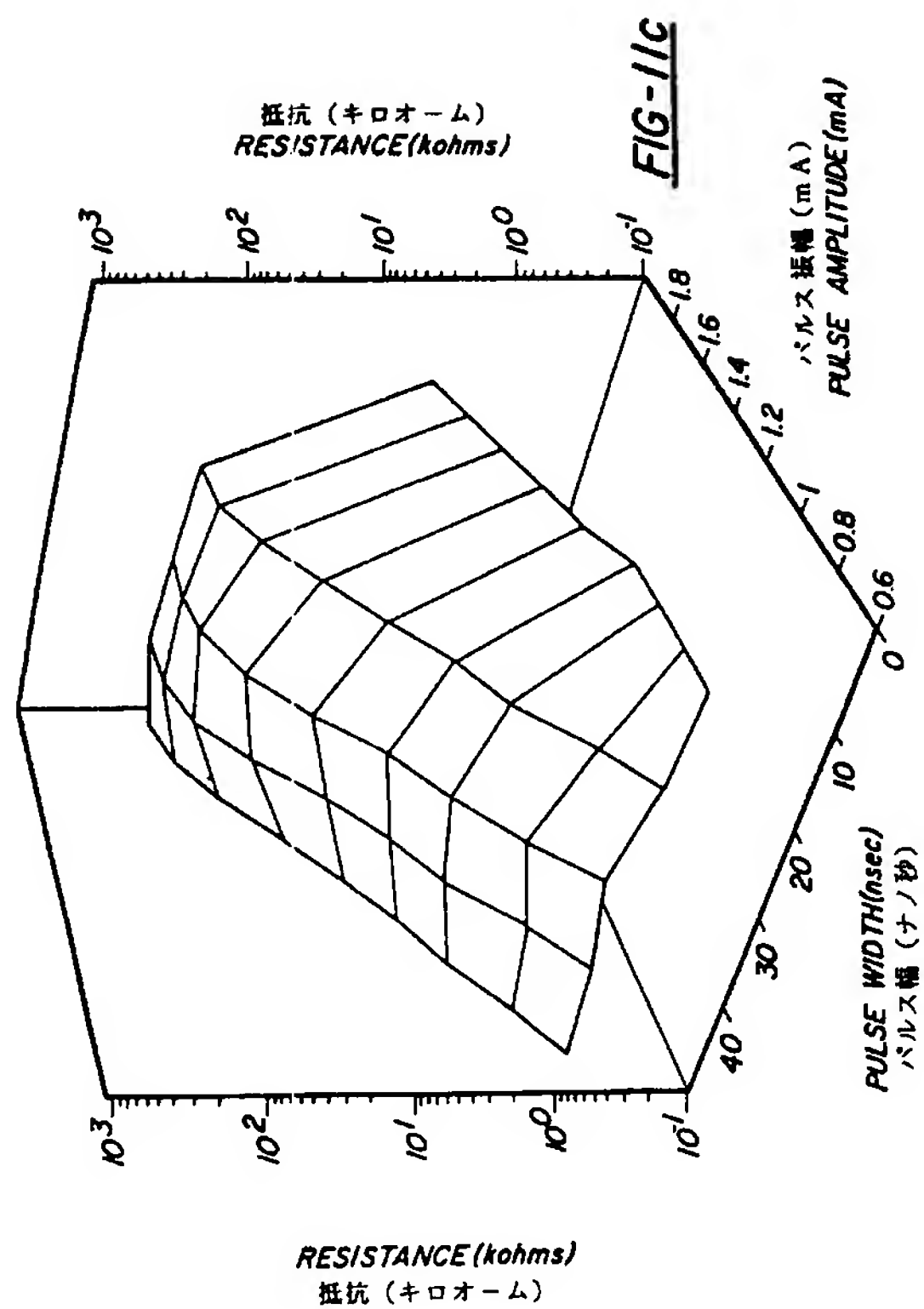


FIG-12a

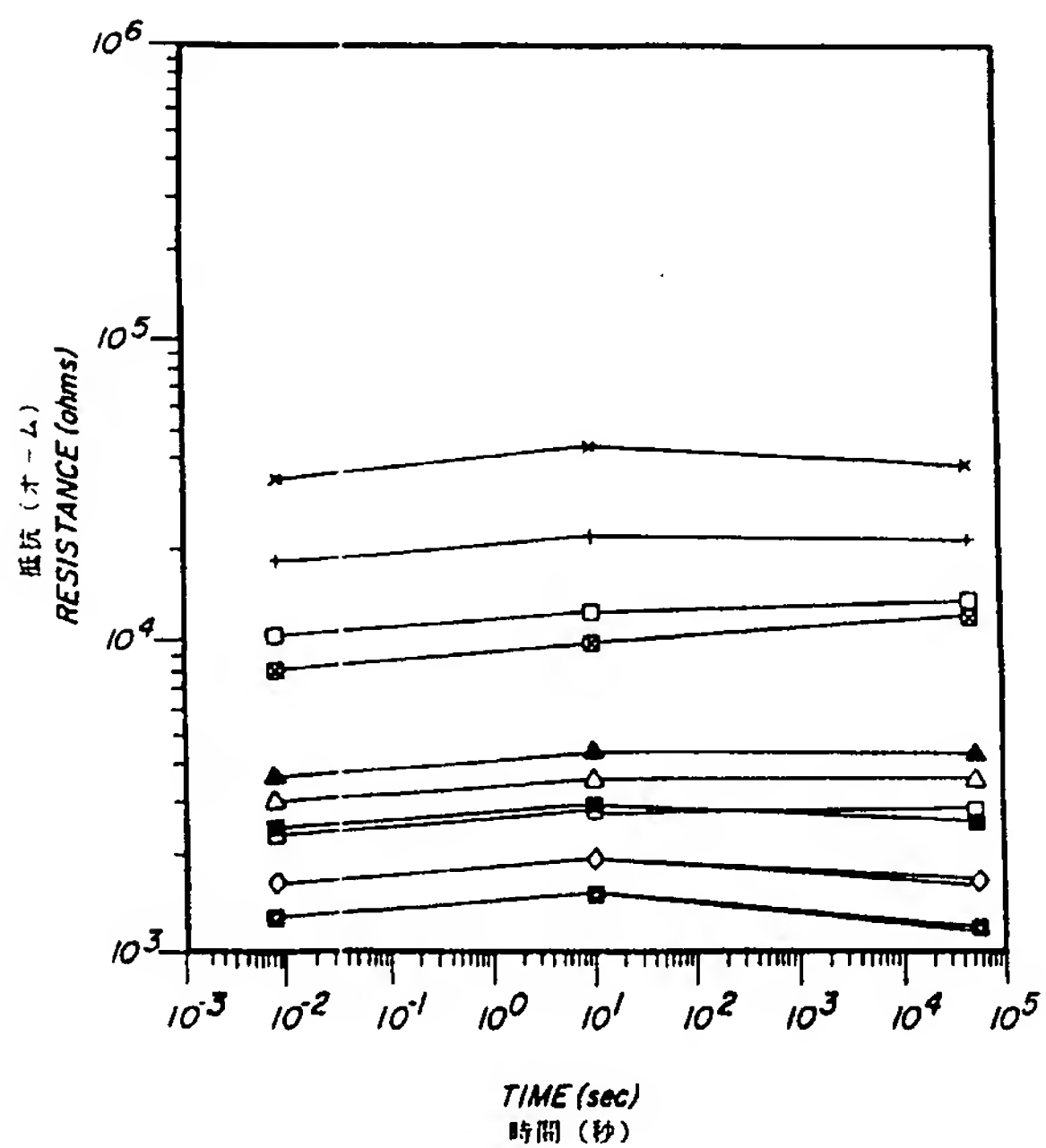


FIG-12b

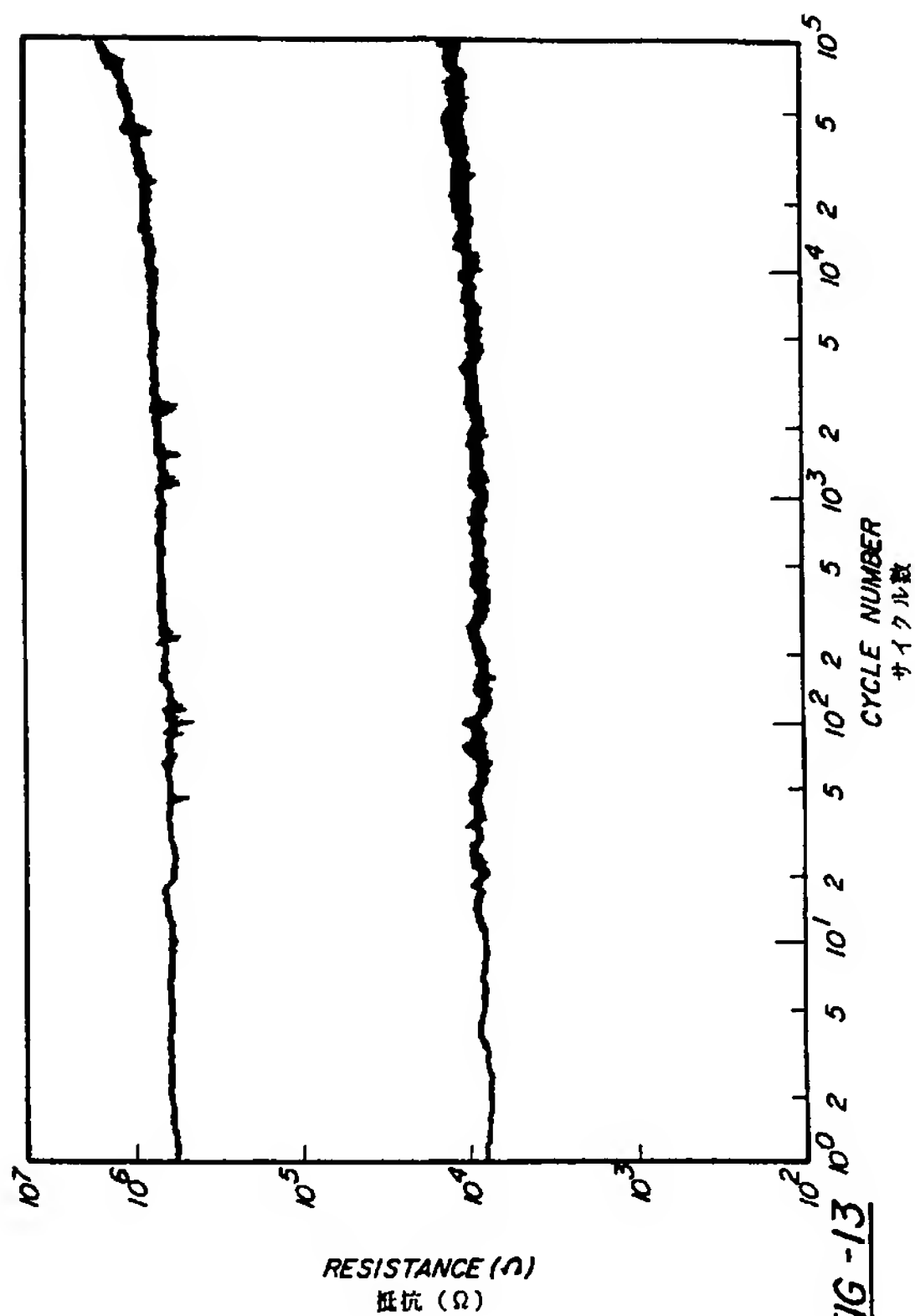
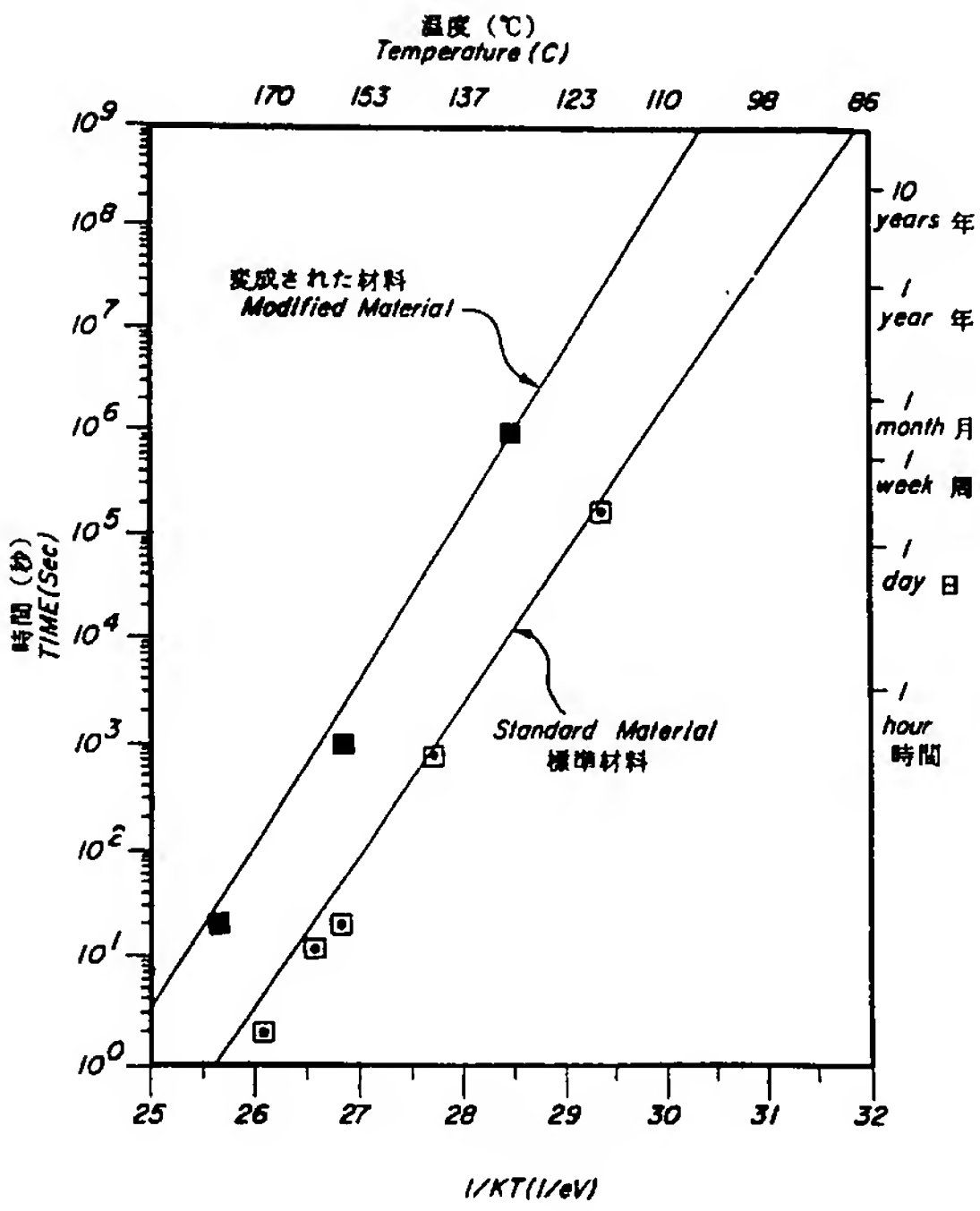
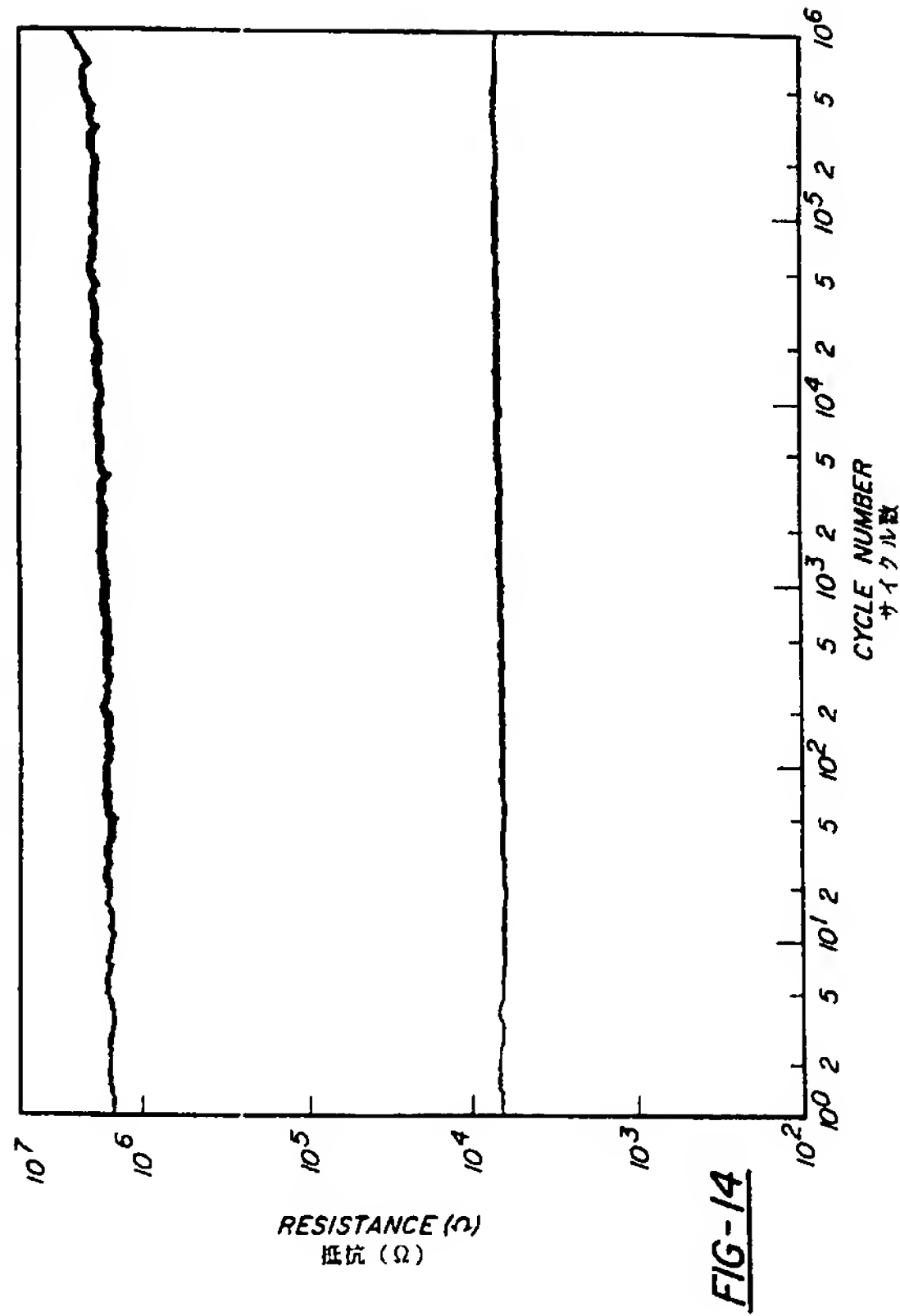


FIG-13



国際調査報告		International application No. PCT/JP92/06876				
A. CLASSIFICATION OF SUBJECT MATTER IPC(S) H01L 45/00 US CL. 257/145, 365/163 According to International Patent Classification (IPC) or to both national classification and IPC						
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) US 257/145, 365/163 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)						
C. DOCUMENTS CONSIDERED TO BE RELEVANT						
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.				
X Y Y	US, A. 4,177,475 (Holmberg) 04 December 1979 See the whole document US, A. 4,203,123 (Shanks) 13 May 1980 See the whole document	21-30, 40 35-36 35-36				
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.						
<table border="0"><tr><td>* "A" "E" "L" "P"</td><td>Technical description of the invention Description defining the present state of the art which is not considered to be part of the invention Further documents published on or after the international filing date Documents which have been deemed as priority documents or which are used to establish the priority date of the invention or other relevant issues (see specification) Document referring to an oral disclosure, use, exhibition or other means Document published prior to the international filing date but later than the priority date claimed</td><td>"T" "X" "Y" "Z"</td><td>Later documents published after the international filing date or priority date and not in conflict with the invention but used to establish the principle or theory underlying the invention Document of particular relevance; the relevant invention cannot be considered novel or obvious in relation to the invention as claimed Document of particular relevance; the relevant invention cannot be considered to comprise an inventive step when the document is considered with one or more other cited documents, such combinations being obvious to a person skilled in the art Document member of the same patent family</td></tr></table>			* "A" "E" "L" "P"	Technical description of the invention Description defining the present state of the art which is not considered to be part of the invention Further documents published on or after the international filing date Documents which have been deemed as priority documents or which are used to establish the priority date of the invention or other relevant issues (see specification) Document referring to an oral disclosure, use, exhibition or other means Document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "Z"	Later documents published after the international filing date or priority date and not in conflict with the invention but used to establish the principle or theory underlying the invention Document of particular relevance; the relevant invention cannot be considered novel or obvious in relation to the invention as claimed Document of particular relevance; the relevant invention cannot be considered to comprise an inventive step when the document is considered with one or more other cited documents, such combinations being obvious to a person skilled in the art Document member of the same patent family
* "A" "E" "L" "P"	Technical description of the invention Description defining the present state of the art which is not considered to be part of the invention Further documents published on or after the international filing date Documents which have been deemed as priority documents or which are used to establish the priority date of the invention or other relevant issues (see specification) Document referring to an oral disclosure, use, exhibition or other means Document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "Z"	Later documents published after the international filing date or priority date and not in conflict with the invention but used to establish the principle or theory underlying the invention Document of particular relevance; the relevant invention cannot be considered novel or obvious in relation to the invention as claimed Document of particular relevance; the relevant invention cannot be considered to comprise an inventive step when the document is considered with one or more other cited documents, such combinations being obvious to a person skilled in the art Document member of the same patent family			
Date of the actual completion of the international search 27 NOVEMBER 1992		Date of mailing of the international search report 04 DEC 1992				
Name and mailing address of the ISA: WI Comptroller of Patents and Trademarks Box PCT Washington, D.C. 20531 Facsimile No. NOT APPLICABLE		Authorized officer WILLIAM D. LARKINS Telephone No. (703) 308-4741				

フロントページの続き

(31)優先権主張番号 789, 234
 (32)優先日 1991年11月7日
 (33)優先権主張国 米国 (US)
 (31)優先権主張番号 880, 763
 (32)優先日 1992年5月8日
 (33)優先権主張国 米国 (US)
 (31)優先権主張番号 898, 635
 (32)優先日 1992年6月15日
 (33)優先権主張国 米国 (US)
 (81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, SE), CA, JP, KR, RU
 (72)発明者 イエ, キウイ
 アメリカ合衆国 48307 ミシガン州 ロ
 チェスター ハンプトン サークル 400
 アpartment ナンバー 201

(72)発明者 ストランド, ディヴィッド, エイ
 アメリカ合衆国 48323 ミシガン州 ウ
 エスト ブルームフィールド デーンツリ
 ー 2091
 (72)発明者 ハゲンス, スティーブン, ジェイ.
 アメリカ合衆国 48075 ミシガン州 サ
 ウスフィールド アレクサンドリア タウ
 ニィ 2
 (72)発明者 ゴンザレス-ヘルナンデス, イエズス
 アメリカ合衆国 48073 ミシガン州 ロ
 ーヤル オーク マンスフィールド 5004
 アpartment ナンバー 101
 (72)発明者 フリッシェ, ヘルムート
 アメリカ合衆国 60637 イリノイ州 シ
 カゴ バックストーン サウス 5801
 (72)発明者 コスティレフ, セルゲイ, エイ.
 アメリカ合衆国 48304 ミシガン州 ブ
 ルームフィールド ヒルズ レノックス
 1208
 (72)発明者 チャオ, ベンジャミン, エス.
 アメリカ合衆国 48083 ミシガン州 ト
 ロイシャーウッド ドライブ 3513